

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Takashi MIYAZAWA

Application No.: 10/665,120

Filed: September 22, 2003

Docket No.: 117244

For: ELECTRONIC CIRCUIT, ELECTRO-OPTICAL DEVICE, METHOD OF DRIVING
ELECTRO-OPTICAL DEVICE, AND ELECTRONIC APPARATUS



CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing dates of the following prior foreign applications filed in the following foreign country(ies) is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2002-277956, filed September 24, 2002; and
Japanese Patent Application No. 2003-315584, filed September 8, 2003.

In support of this claim, certified copies of said original foreign applications:

 X are filed herewith.
 were filed on in Parent Application No. filed .
 will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Respectfully submitted,

A handwritten signature in black ink, appearing to read "James A. Oliff".

James A. Oliff
Registration No. 27,075

Eric D. Morehouse
Registration No. 38,565

JAO:EDM/gam

Date: October 10, 2003

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

<p>DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461</p>
--

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 2 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 2 7 7 9 5 6
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 7 7 9 5 6]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 9 月 2 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 7 8 8 4 4

【書類名】 特許願

【整理番号】 J0091760

【提出日】 平成14年 9月24日

【あて先】 特許庁長官殿

【国際特許分類】 G09F 9/30
H05B 33/04

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 宮澤 貴士

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤網 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子回路、電気光学装置、電気光学装置の駆動方法及び電子機器

【特許請求の範囲】

【請求項 1】 電子素子と、

データ信号に対応した電圧値に応じた電荷量を蓄積する容量素子と、

前記容量素子に蓄積された前記電荷量に相対して導通状態が制御され、その導通状態に相対した電流量を前記電子素子に供給する第 1 のトランジスタとを含み、

前記容量素子は、データ信号としてデータ電流及びデータ電圧のいずれかが供給された場合でも前記データ信号に応じた電荷量を蓄積可能であることを特徴とする電子回路。

【請求項 2】 請求項 1 に記載の電子回路において、

データ信号としてデータ電流は多値のデータ電流であり、データ信号としてデータ電圧は、2 値のデータ電圧であり、

多値のデータ電流と 2 値のデータ電圧は、第 2 のトランジスタを介して前記容量素子に供給可能にしたことを特徴とする電子回路。

【請求項 3】 請求項 1 又は 2 に記載の電子回路において、

前記データ電流に基づく導通状態で導通し、前記第 1 のトランジスタの閾値電圧を補償するための第 3 のトランジスタを前記第 1 のトランジスタのゲート・ドレイン間に接続したことを特徴とする電子回路。

【請求項 4】 請求項 1 ～ 3 のいずれか 1 つに記載の電子回路において、

前記データ電流に基づく導通状態において前記電子素子の駆動タイミングを決定する第 4 のトランジスタを備えたこと特徴とする電子回路。

【請求項 5】 電子素子と、

データ信号としてデータ電流及びデータ電圧のいずれかが供給された場合でも前記データ信号に応じた電荷量を蓄積可能で容量素子と、

前記容量素子に蓄積された前記電荷量に相対して導通状態が制御され、その導通状態に相対した電流量を前記電子素子に供給する第 1 のトランジスタと

を含み、

導通することにより前記容量素子に保持された電荷量をリセットする第5のトランジスタを備えたことを特徴とする電子回路。

【請求項6】 請求項1～5のいずれか1つに記載の電子回路において、前記電子素子は電気光学素子であることを特徴とする電子回路。

【請求項7】 請求項6に記載の電子回路において、前記電気光学素子はEL素子であることを特徴とする電子回路。

【請求項8】 請求項7に記載の電子回路において、前記EL素子は、発光層が有機材料で構成されていることを特徴とする電子回路。

【請求項9】 複数の走査線と、複数のデータ線と、複数の単位回路とを含む電気光学装置であって、

前記複数の単位回路の各々に前記複数のデータ線を介してデータ信号として2値のデータ電圧を出力するためのデータ電圧出力回路と、

前記複数の単位回路の各々に前記複数のデータ線にデータ電流を出力するためのデータ電流出力回路とを備えたことを特徴とする電気光学装置。

【請求項10】 請求項9に記載の電気光学装置において、前記データ電圧と前記データ電流とが同一のデータ線を介して供給されることを特徴とする電気光学装置。

【請求項11】 請求項9に記載の電気光学装置において、前記データ電圧と前記データ電流はそれぞれ別々のデータ線を介して供給されることを特徴とする電気光学装置。

【請求項12】 複数の走査線と、前記各走査線に対して交差するように配線された複数のデータ線と、前記各走査線と前記各データ線との交差部に対応してそれぞれ設けられ、前記データ線を介して供給されるデータ電流に応じた駆動電流を電気光学素子に供給する単位回路とを含み、

画像データに基づいて前記電気光学素子をデジタル階調するための2値のデータ電圧又は前記電気光学素子をアナログ階調するための多値のデータ電流のいずれかを生成し出力する制御手段を設けたことを特徴とする電気光学装置。

【請求項13】 請求項12に記載の電気光学装置において、
前記単位回路は、
データ信号に対応した電圧値に応じた電荷量を蓄積する容量素子と、
前記容量素子に蓄積された前記電荷量に相対して導通状態が制御され、その導通状態に相対した電流量を前記電気光学素子に供給する第1のトランジスタとを含み、
前記容量素子は、データ信号としてデータ電流及びデータ電圧のいずれかが供給された場合でも前記データ信号に応じた電荷量を蓄積可能であることを特徴とする電気光学装置。

【請求項14】 請求項12又は13に記載の電気光学装置において、
前記データ信号としてデータ電流は多値のデータ電流であり、データ信号としてデータ電圧は、2値のデータ電圧であり、
前記多値のデータ電流と2値のデータ電圧は、第2のトランジスタを介して前記容量素子に供給可能にしたことを特徴とする電気光学装置。

【請求項15】 請求項12～14のいずれか1つに記載の電気光学装置において、
前記単位回路は、前記データ電流に基づく導通状態に導通し、前記第1のトランジスタの閾値電圧を補償するための第3のトランジスタを前記第1のトランジスタのゲート・ドレイン間に接続したことを特徴とする電気光学装置。

【請求項16】 請求項12～15のいずれか1つに記載の電気光学装置において、
前記単位回路は、前記データ電流に基づく導通状態において前記電気光学素子の駆動タイミングを決定する第4のトランジスタを備えたこと特徴とする電気光学装置。

【請求項17】 請求項12～16のいずれか1つに記載の電気光学装置において、

前記単位回路は、

導通することにより前記容量素子に保持された電荷量をリセットする第5のトランジスタを備えたこと特徴とする電気光学装置。

【請求項18】 請求項12～17のいずれか1つに記載の電気光学装置において、

前記制御手段は、

低消費電力モードの場合には、前記電気光学素子をデジタル階調するための2値のデータ電圧を作成し、非低消費電力モードの場合には前記電気光学素子をアナログ階調するための多値のデータ電流を作成して、前記電気光学素子を駆動することを特徴とする電気光学装置。

【請求項19】 請求項12～17のいずれか1つに記載の電気光学装置において、

前記制御手段は、

画像データが第1の表示データの場合には、前記電気光学素子をデジタル階調するための2値のデータ電圧を作成し、画像データが前記第1の表示データより表示品位の高い第2の表示データの場合には前記電気光学素子をアナログ階調するための多値のデータ電流を作成して、前記電気光学素子を駆動することを特徴とする電気光学装置。

【請求項20】 請求項18又は19に記載の電気光学装置において、

前記制御手段は、

前記電気光学素子をデジタル階調するための2値のデータ電圧を生成するためのデータ電圧生成回路と、

前記電気光学素子をアナログ階調するための多値のデータ電流を生成するデータ電流生成回路と

を備えたことを特徴とする電気光学装置。

【請求項21】 請求項20に記載の電気光学装置において、

前記制御手段と前記各データ線との間には、前記データ電圧生成回路からの2値のデータ電圧を出力するデータ電圧出力回路と、前記データ電流生成回路からの多値のデータ電流を出力するデータ電流出力回路とを備えとともに、そのデ

ータ電圧出力回路からの2値のデータ電圧とデータ電流出力回路からの多値のデータ電流のいずれかを一方を前記データ線に出力する切り替え回路を備えたことを特徴とする電気光学装置。

【請求項22】 請求項12～21のいずれか1つに記載の電気光学装置において、

前記デジタル階調は、時分割階調であることを特徴とする電気光学装置。

【請求項23】 請求項22に記載の電気光学装置において、

前記時分割階調は、選択される一つの走査線に対応した前記単位回路に前記2値のデータ電圧を書き込み、前記2値のデータ電圧に応じた電流レベルを有する電流を電気光学素子に供給開始し、所定時間後に前記電気光学素子への電流供給を遮断する階調方法であることを特徴とする電気光学装置。

【請求項24】 請求項12～23のいずれか1つに記載の電気光学装置において、

前記電気光学素子はEL素子であることを特徴とする電気光学装置。

【請求項25】 請求項24に記載の電気光学装置において、

前記EL素子は、発光層が有機材料で構成されていることを特徴とする電気光学装置。

【請求項26】 複数の走査線と、

前記各走査線に対して交差するように配線された複数のデータ線と、

前記各走査線と前記各データ線との交差部に対応してそれぞれ設けられ、前記データ線を介して供給されるデータ電流に応じた駆動電流を電気光学素子に供給する単位回路と

を備えた電気光学装置の駆動方法において、

低消費電力モードの場合には、前記電気光学素子をデジタル階調するための2値のデータ電圧を作成し、非低消費電力モードの場合には前記電気光学素子をアナログ階調するための多値のデータ電流を作成して、前記電気光学素子を駆動することを特徴とする電気光学装置の駆動方法。

【請求項27】 複数の走査線と、

前記各走査線に対して交差するように配線された複数のデータ線と、

前記各走査線と前記各データ線との交差部に対応してそれぞれ設けられ、前記データ線を介して供給されるデータ電流に応じた駆動電流を電気光学素子に供給する単位回路と

を備えた電気光学装置の駆動方法において、

画像データが第1の表示データの場合には、前記電気光学素子をデジタル階調するための2値のデータ電圧を作成し、画像データが前記第1の表示データより表示品位の高い第2の表示データの場合には前記電気光学素子をアナログ階調するための多値のデータ電流を作成して、前記電気光学素子を駆動することを特徴とする電気光学装置の駆動方法。

【請求項28】 請求項26又は27に記載の電気光学装置の駆動方法において、

前記デジタル階調は、時分割階調であることを特徴とする電気光学装置の駆動方法。

【請求項29】 請求項28に記載の電気光学装置の駆動方法において、

前記時分割階調は、選択される一つの走査線に対応した前記単位回路に前記2値のデータ電圧を書き込み、前記2値のデータ電圧に応じた電流レベルを有する電流を電気光学素子に供給開始し、所定時間後に前記電気光学素子への電流供給を遮断する階調方法であることを特徴とする電気光学装置の駆動方法。

【請求項30】 請求項26～29のいずれか1つに記載の電気光学装置の駆動方法において、

前記電気光学素子はEL素子であることを特徴とする電気光学装置の駆動方法。

【請求項31】 請求項30に記載の電気光学装置の駆動方法において、

前記EL素子は、発光層が有機材料で構成されていることを特徴とする電気光学装置の駆動方法。

【請求項32】 請求項9～25のいずれか1つに記載の電気光学装置を実装したことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電子回路、電気光学装置、電気光学装置の駆動方法及び電子機器に関するものである。

【0002】**【従来の技術】**

近年、電気光学装置としての表示装置は、有機EL素子を用いた電気光学装置が注目されている。この種の電気光学装置には、有機EL素子の中間調を制御する駆動方式としてアナログ階調法がある（例えば、特許文献1参照）。そのアナログ階調法の一つとして有機EL素子に多値のデータ電流に応じた電流レベルの電流を供給する駆動用トランジスタのソース・ゲート間電圧を同トランジスタの閾値電圧にして駆動する方式がある。この方式は、輝度階調に応じてDA変換回路から供給される電流（データ電流）を画素回路の保持キャパシタに蓄積させる。保持キャパシタに蓄積された電荷量に相對した充電電圧は、薄膜トランジスタ（TFT）よりなる駆動トランジスタのゲート端子に印加される。駆動トランジスタはデータ電流に相對した充電電圧に応じた値の駆動電流を有機EL素子に供給する。

【0003】**【特許文献1】**

特開2001-147659号公報

【0004】**【発明が解決しようとする課題】**

ところで、この電流プログラム方式で用いられるDA変換回路は、画素回路で採用されている薄膜トランジスタ（TFT）で構成することは精度の面で難しく、外付けのICドライバーを使用することが一般的であった。

【0005】

しかしながら、外付けのICドライバーで構成されたDA変換回路は、表示パネル上で形成されるTFTドライバー回路に比べて消費電力が大きくなる問題があった。そこで、多値（アナログ値）を生成するDA変換回路を必要としないことから消費電力を低減を図ることができるデジタル階調法が考えられる。しかし

ながら、デジタル階調法は表示品位がアナログ階調に比べて劣るという問題があった。

【0006】

本発明は、上記問題点を解消するためになされたものであって、その目的は低消費電力と十分な表示品位を両立することができる電子回路、電気光学装置、電気光学装置の駆動方法及び電子機器を提供することにある。

【0007】

【課題を解決するための手段】

本発明における電子回路は、電子素子と、データ信号に対応した電圧値に応じた電荷量を蓄積する容量素子と、前記容量素子に蓄積された前記電荷量に相対して導通状態が制御され、その導通状態に相対した電流量を前記電子素子に供給する第1のトランジスタとを含み、前記容量素子は、データ信号としてデータ電流及びデータ電圧のいずれかが供給された場合でも前記データ信号に応じた電荷量を蓄積可能である。

【0008】

これによれば、データ電圧とデータ電流を使い分けることによって、例えば、デジタル階調と、アナログ階調の2通りの方法で中間調を表現することができる。その結果、例えば、表示品位をあまり必要とせず低消費電力を優先したい場合にはデジタル階調を選択し、表示品位を必要とする場合にはアナログ階調を選択して中間調を表現することができる。

【0009】

この電子回路において、データ信号としてデータ電流は多値のデータ電流であり、データ信号としてデータ電圧は、2値のデータ電圧であり、多値のデータ電流と2値のデータ電圧は、第2のトランジスタを介して前記容量素子に供給可能にした。

【0010】

これによれば、例えば、前記デジタル階調及びアナログ階調を行う場合にも、第2のスイッチングトランジスタを介してそれぞれデジタル階調のための2値のデータ電圧及びアナログ階調のための多値のデータ電流が容量素子にそれぞれ供給

される。

【0011】

この電子回路において、前記データ電流に基づく導通状態で導通し、前記第1のトランジスタの閾値電圧を補償するための第3のトランジスタを前記第1のトランジスタのゲート・ドレイン間に接続した。

【0012】

これによれば、第3のトランジスタによって、第1のトランジスタの閾値電圧の製造ばらつきが補償され、第1のトランジスタは、閾値電圧に左右されることなく多値のデータ電流に応じた導通状態になる。

【0013】

この電子回路において、前記データ電流に基づく導通状態において前記電子素子の駆動タイミングを決定する第4のトランジスタを備えた。

これによれば、第4のトランジスタによって第1のトランジスタの多値のデータ電流に基づく導通状態に相對した電流量を電子素子に供給し駆動を開始される。

【0014】

本発明における電子回路は、電子素子と、データ信号としてデータ電流及びデータ電圧のいずれかが供給された場合でも前記データ信号に応じた電荷量を蓄積可能で容量素子と、前記容量素子に蓄積された前記電荷量に相對して導通状態が制御され、その導通状態に相對した電流量を前記電子素子に供給する第1のトランジスタとを含み、導通することにより前記容量素子に保持された電荷量をリセットする第5のトランジスタを備えた。

【0015】

これによれば、容量素子に保持された2値のデータ電圧は第5のトランジスタによってリセットされ、容量素子は次の新たな2値のデータ電圧の供給を待つ。

この電子回路において、前記電子素子は電気光学素子である。

【0016】

これによれば、電子素子は第1のトランジスタの導通状態に相對して発光する。

この電子回路において、前記電気光学素子は E L 素子である。

【0017】

これによれば、E L 素子は第 1 のトランジスタの導通状態に相対して発光する

。

この電子回路において、前記 E L 素子は、発光層が有機材料で構成されている

。

【0018】

これによれば、E L 素子は、発光層が有機材料で形成された有機 E L 素子である。

本発明における電気光学装置は、複数の走査線と、複数のデータ線と、複数の単位回路とを含む電気光学装置であって、前記複数の単位回路の各々に前記複数のデータ線を介してデータ信号として 2 値のデータ電圧を出力するためのデータ電圧出力回路と、前記複数の単位回路の各々に前記複数のデータ線にデータ電流を出力するためのデータ電流出力回路とを備えた。

【0019】

これによれば、

これによれば、データ電圧出力回路から 2 値のデータ電圧を入力すればデジタル諧調が、データ電流出力回路から多値のデータ電流を入力すればアナログ階調が行うことができる。

【0020】

この電気光学装置において、前記データ電圧と前記データ電流とが同一のデータ線を介して供給される。

これによれば、デジタル諧調及びアナログ諧調を行う場合、いずれの場合にも同一のデータ線を介して 2 値のデータ電圧と多値のデータ電圧とが供給される。

【0021】

この電気光学装置において、前記データ電圧と前記データ電流はそれぞれ別々のデータ線を介して供給される。

これによれば、デジタル諧調を行う場合とアナログ諧調を行う場合とで、それぞれ異なるデータ線を介して単位回路に 2 値のデータ電圧と多値のデータ電圧と

が供給される。

【0022】

本発明における電気光学装置は、複数の走査線と、前記各走査線に対して交差するように配線された複数のデータ線と、前記各走査線と前記各データ線との交差部に対応してそれぞれ設けられ、前記データ線を介して供給されるデータ電流に応じた駆動電流を電気光学素子に供給する単位回路とを備えた電気光学装置において、画像データに基づいて前記電流駆動素子をデジタル階調するための2値のデータ電圧又は前記電気光学素子をアナログ階調するための多値のデータ電流のいずれかを生成し出力する制御手段を設けた。

【0023】

これによれば、制御手段は、電気光学素子に対してデジタル階調と、アナログ階調の2通りの方法で中間調を表現することができる。その結果、例えば、表示品位をあまり必要とせず低消費電力を優先したい場合にはデジタル階調を選択し、表示品位を必要とする場合にはアナログ階調を選択して中間調を表現することができる。

【0024】

この電気光学装置において、前記単位回路は、データ信号に対応した電圧値に応じた電荷量を蓄積する容量素子と、前記容量素子に蓄積された前記電荷量に相対して導通状態が制御され、その導通状態に相対した電流量を前記電気光学素子に供給する第1のトランジスタとを含み、前記容量素子は、データ信号としてデータ電流及びデータ電圧のいずれかが供給された場合でも前記データ信号に応じた電荷量を蓄積可能である。

【0025】

これによれば、データ電圧とデータ電流を使い分けることによって、例えば、デジタル階調と、アナログ階調の2通りの方法で中間調を表現することができる。その結果、例えば、表示品位をあまり必要とせず低消費電力を優先したい場合にはデジタル階調を選択し、表示品位を必要とする場合にはアナログ階調を選択して中間調を表現することができる。

【0026】

この電気光学装置において、前記データ信号としてデータ電流は多値のデータ電流であり、データ信号としてデータ電圧は、2 値のデータ電圧であり、前記多値のデータ電流と 2 値のデータ電圧は、第 2 のトランジスタを介して前記容量素子に供給可能にした。

【0 0 2 7】

これによれば、例えば、前記デジタル階調及びアナログ階調を行う場合にも、第 2 のスイッチングトランジスタを介してそれぞれデジタル階調のための 2 値のデータ電圧及びアナログ階調のための多値のデータ電流が容量素子にそれぞれ供給される。

【0 0 2 8】

この電気光学装置において、

前記単位回路は、前記データ電流に基づく導通状態に導通し、前記第 1 のトランジスタの閾値電圧を補償するための第 3 のトランジスタを前記第 1 のトランジスタのゲート・ドレイン間に接続した。

【0 0 2 9】

これによれば、第 3 のトランジスタによって、第 2 のトランジスタの閾値電圧の製造ばらつきが補償され、第 1 のトランジスタは、閾値電圧に左右されことなく多値のデータ電流に応じた導通状態になる。

【0 0 3 0】

この電気光学装置において、前記単位回路は、前記データ電流に基づく導通状態において前記電気光学素子の駆動タイミングを決定する第 4 のトランジスタを備えた。

【0 0 3 1】

これによれば、第 4 のトランジスタによって第 1 のトランジスタの多値のデータ電流に基づく導通状態に相対した電流量を電気光学素子に供給し駆動を開始される。

【0 0 3 2】

この電気光学装置において、前記単位回路は、導通することにより前記容量素子に保持された電荷量をリセットする第 5 のトランジスタを備えた。

これによれば、容量素子に保持された 2 値のデータ電圧は第 5 のトランジスタによってリセットされ、容量素子は次の新たな 2 値のデータ電圧の供給を待つ。

【0033】

この電気光学装置において、前記制御手段は、低消費電力モードの場合には、前記電気光学素子をデジタル階調するための 2 値のデータ電圧を作成し、非低消費電力モードの場合には前記電気光学素子をアナログ階調するための多値のデータ電流を作成して、前記電気光学素子を駆動する。

【0034】

これによれば、制御手段によって、電気光学素子に対して低消費電力モードの場合にはデジタル階調で、非低消費電力モードの場合にはアナログ階調で中間調を表現することができる。

【0035】

この電気光学装置において、前記制御手段は、画像データが第 1 の表示データの場合には、前記電気光学素子をデジタル階調するための 2 値のデータ電圧を作成し、画像データが前記第 1 の表示データより表示品位の高い第 2 の表示データの場合には前記電気光学素子をアナログ階調するための多値のデータ電流を作成して、前記電気光学素子を駆動する。

【0036】

これによれば、制御手段によって、表示品位を必要としない場合には電気光学素子に対してデジタル階調で、表示品位を必要とする場合にはアナログ階調で中間調を表現することができる。

【0037】

この電気光学装置において、前記制御手段は、前記電気光学素子をデジタル階調するための 2 値のデータ電圧を生成するためのデータ電圧生成回路と、前記電気光学素子をアナログ階調するための多値のデータ電流を生成するデータ電流生成回路とを備えた。

【0038】

これによれば、データ電圧生成回路にてデジタル階調するための 2 値のデータ電圧が生成され、データ電流生成回路にてアナログ階調するための多値のデータ

電流が生成される。

【 0 0 3 9 】

この電気光学装置において、前記制御手段と前記各データ線との間には、前記データ電圧生成回路からの 2 値のデータ電圧を出力するデータ電圧出力回路と、前記データ電流生成回路からの多値のデータ電流を出力するデータ電流出力回路とを備えるとともに、そのデータ電圧出力回路からの 2 値のデータ電圧とデータ電流出力回路からの多値のデータ電流のいずれかを一方を前記データ線に出力する切り替え回路を備えた。

【 0 0 4 0 】

これによれば、切り替え回路によってデジタル階調のときにはデータ電圧出力回路から 2 値のデータ電圧が、アナログ階調のときにはデータ電流出力回路から多値のデータ電流がデータ線に出力される。

【 0 0 4 1 】

この電気光学装置において、デジタル階調は、時分割階調である。

これによれば、電気光学素子は時分割階調にて中間調が制御される。

この電気光学装置において、時分割階調は、選択される一つの走査線に対応した前記単位回路に前記 2 値のデータ電圧を書き込み、前記 2 値のデータ電圧に応じた電流レベルを有する電流を電気光学素子に供給開始し、所定時間後に前記電気光学素子への電流供給を遮断する階調方法である。

【 0 0 4 2 】

これによれば、電気光学素子に対して、選択される一つの走査線に対応した前記単位回路に前記 2 値のデータ電圧を書き込み、前記 2 値のデータ電圧に応じた電流レベルの電流が供給され、所定時間後にその電流供給が遮断されることによって、中間調が制御される。

【 0 0 4 3 】

この電気光学装置において、前記電気光学素子は E L 素子である。

これによれば、E L 素子は第 2 のトランジスタの導通状態に相対して発光する。

【 0 0 4 4 】

この電気光学装置において、EL素子は、発光層が有機材料で構成されている

。

これによれば、EL素子は発光層が有機材料で形成された有機EL素子である

。

【0045】

本発明における電気光学装置の駆動方法は、複数の走査線と、前記各走査線に対して交差するように配線された複数のデータ線と、前記各走査線と前記各データ線との交差部に対応してそれぞれ設けられ、前記データ線を介して供給されるデータ電圧に応じた駆動電流を電気光学素子に供給する単位回路とを備えた電気光学装置の駆動方法において、低消費電力モードの場合には、前記電気光学素子をデジタル階調するための2値のデータ電圧を作成し、非低消費電力モードの場合には前記電気光学素子をアナログ階調するための多値のデータ電流を作成して、前記電気光学素子を駆動する。

【0046】

これによれば、電気光学素子は低消費電力モードの場合にはデジタル階調で、非低消費電力モードの場合にはアナログ階調で中間調が制御される。

本発明における電気光学装置の駆動方法は、複数の走査線と、前記各走査線に対して交差するように配線された複数のデータ線と、前記各走査線と前記各データ線との交差部に対応してそれぞれ設けられ、前記データ線を介して供給されるデータ電流に応じた駆動電流を電気光学素子に供給する単位回路とを備えた電気光学装置の駆動方法において、画像データが第1の表示データの場合には、前記電気光学素子をデジタル階調するための2値のデータ電圧を作成し、画像データが前記第1の表示データより表示品位の高い第2の表示データの場合には前記電気光学素子をアナログ階調するための多値のデータ電流を作成して、前記電気光学素子を駆動する。

【0047】

これによれば、電気光学素子は表示品位を必要としない場合にはデジタル階調で、表示品位を必要とする場合にはアナログ階調で中間調が制御される。

この電気光学装置の駆動方法において、デジタル階調は、時分割階調である。

【0048】

これによれば、電気光学素子は時分割階調にて中間調が制御される。

この電気光学装置の駆動方法において、前記時分割階調は、選択される一つの走査線に対応した前記単位回路に前記2値のデータ電圧を書き込み、前記2値のデータ電圧に応じた電流レベルを有する電流を電気光学素子に供給開始し、所定時間後に前記電気光学素子への電流供給を遮断する階調方法である。

【0049】

これによれば、電気光学素子に対して、選択される一つの走査線に対応した前記単位回路に前記2値のデータ電圧を書き込み前記2値のデータ電圧に応じた電流レベルの電流が供給され、所定時間後にその電流供給が遮断されることによって、中間調が制御される。

【0050】

この電気光学装置の駆動方法において、前記電気光学素子はEL素子である。

これによれば、EL素子は第1のトランジスタの導通状態に相対して発光する。

【0051】

この電気光学装置の駆動方法において、前記EL素子は、発光層が有機材料で構成されている。

これによれば、EL素子は発光層が有機材料で形成された有機EL素子である。

【0052】

本発明における電子機器は、請求項9～25のいずれか1つに記載の電気光学装置を実装した。

これによれば、電子機器は低消費電力と十分な表示品位を両立することができる。

【0053】**【発明の実施の形態】****（第1実施形態）**

以下、本発明を具体化した第1実施形態を図1～図5に従って説明する。

【0054】

図1は、電気光学装置としての有機ELディスプレイ10の電氣的構成を示すブロック回路図を示す。図1において、有機ELディスプレイ10は、中間調をデジタル階調及びアナログ階調のいずれの方法でも表現できるディスプレイである。詳述すると、本実施形態では、デジタル階調は時分割階調であって、その時分割階調法の中の、選択される一つの走査線に対応した画素回路に2値のデータ電圧を書き込み、前記2値のデータ電圧に応じた電流レベルを有する電流を電気光学素子に供給開始する。そして、所定時間後に前記電気光学素子への電流供給を遮断する階調方法で64階調を表現するようになっている。又、アナログ階調においては、有機EL素子に多値のデータ電流に応じた電流レベルの電流を供給する駆動用トランジスタのゲート・ソース間電圧を同トランジスタの閾値電圧にして駆動する方式で階調を表現するようになっている。

【0055】

因みに、本実施形態における時分割階調は、図3に示すように、1画像を表示するための走査（1フレーム）を、6つに分割しその分割されたフレームをサブフレームSF1～SF6としている。そして、各サブフレームSF1～SF6において、各走査線を順番に選択すると同時にその選択された走査線に接続された画素回路の有機EL素子の輝度を2値の電圧データに基づいて発光状態及び非発光状態のいずれかに設定し、一定時間後に個々に順番に非発光状態にさせるようにした方式である。

【0056】

各サブフレームSF1～SF6はそれぞれ発光期間（発光時間）TL1～TL6からなり、これら発光期間TL1～TL6は以下のように設定している。

$$32 TL1 = 16 TL2 = 8 TL3 = 4 TL4 = 2 TL5 = TL6$$

つまり、各発光期間TL1～TL6は、

$$TL1 : TL2 : TL3 : TL4 : TL5 : TL6 = 1 : 2 : 4 : 8 : 16 : 32$$

となる時間比を設定している。

【0057】

そして、「7」の輝度階調を得る場合には、第1～第3サブフレームSF1～

S F 3 の時に、画素回路を駆動させて有機 E L 素子を発光させ、第 4 ～第 6 サブフレーム S F 4 ～S F 6 の時に、画素回路を停止させて有機 E L 素子を消灯させる。

【0058】

又、「32」の輝度階調を得る場合には、第 6 サブフレーム S F 6 の時に、画素回路を駆動させて有機 E L 素子を発光させ、第 1 ～第 5 サブフレーム S F 1 ～S F 5 の時に、画素回路を停止させて有機 E L 素子を消灯させる。

【0059】

さらに、「44」の輝度階調を得る場合には、第 3、第 4 及び第 6 サブフレーム S F 3, S F 4, S F 6 の時に、画素回路を駆動させて有機 E L 素子を発光させ、第 1、第 2 及び第 5 サブフレーム S F 1, S F 2, S F 5 の時に、画素回路を停止させて有機 E L 素子を消灯させる。

【0060】

このようにして、1 フレーム毎に各サブフレーム S F 1 ～S F 6 を適宜選択することで、中間調を得ることができる。

図 1 において、有機 E L ディスプレイ 10 は、表示パネル部 11、走査線駆動回路 12、データ線駆動回路 13 及び制御回路 14 を備えている。

【0061】

有機 E L ディスプレイ 10 の表示パネル部 11、走査線駆動回路 12、データ線駆動回路 13 及び制御回路 14 は、それぞれが独立した電子部品によって構成されていてもよい。例えば、走査線駆動回路 12、データ線駆動回路 13 及び制御回路 14 が 1 チップの半導体集積回路装置によって構成されていてもよい。また、表示パネル部 11、走査線駆動回路 12、データ線駆動回路 13 及び制御回路 14 の全部若しくは一部が一体となった電子部品として構成されていてもよい。例えば、表示パネル部 11 に、データ線駆動回路 13 と走査線駆動回路 12 とが一体的に形成されていてもよい。走査線駆動回路 12、データ線駆動回路 13 及び制御回路 14 の全部若しくは一部がプログラマブルな I C チップで構成され、その機能が I C チップに書き込まれたプログラムによりソフトウェア的に実現されてもよい。

【0062】

表示パネル部11は、図1に示すように、マトリクス状に配列された複数の電子回路又は単位回路としての画素回路20を有している。つまり、各画素回路20は、その列方向に沿ってのびる複数(m本)のデータ線X1～Xm(mは整数)と、行方向に沿ってのびる複数(n本)の走査線Y1～Yn(nは整数)との交差部に対応して配置されている。そして、各画素回路20は、対応する各データ線X1～Xmと各走査線Y1～Ynとの間にそれぞれ接続されることにより、マトリクス状に配列されている。各画素回路20には発光層が有機材料で構成された電子素子又は電気光学素子としての有機EL素子21(図2参照)を有している。尚、画素回路20内に形成れる後記するトランジスタは、通常は薄膜トランジスタ(TFT)で構成している。

【0063】

図2は、画素回路20の内部回路構成を説明するための電気回路図を示す。尚、説明の便宜上、m番目のデータ線Xmとn番目の走査線Ynとの点に配置され、両データ線Xmと走査線Ynとの間に接続された画素回路20について説明する。

【0064】

画素回路20は、第1スイッチング用トランジスタQ1、第2スイッチング用トランジスタQ2、駆動用トランジスタQ3、変換用トランジスタQ4、リセット用トランジスタQ5及び容量素子としての保持キャパシタC1を備えている。第1及び第2スイッチング用トランジスタQ1、Q2及びリセット用トランジスタQ5は、NチャネルFETよりなる構成されている。駆動用トランジスタQ3及び変換用トランジスタQ4は、PチャネルFETよりなる構成されている。

【0065】

駆動用トランジスタQ3は、ドレインが有機EL素子21の陽極に接続され、ソースが電源線L1に接続されている。電源線L1には、前記有機EL素子21を駆動させるための電源電圧VOELが供給されている。駆動用トランジスタQ3のゲートは保持キャパシタC1の一端に接続され、その保持キャパシタC1の一端は第1スイッチング用トランジスタQ1を介してデータ線Xmに接続されてい

る。保持キャパシタ C 1 の他端は、前記電源線 L 1 を介して電源電圧 V_{OE}L が印加されている。また、前記駆動用トランジスタ Q 3 のゲートは、変換用トランジスタ Q 4 のゲートが接続されて、その変換用トランジスタ Q 4 のソースには、前記電源線 L 1 を介して電源電圧 V_{OE}L が印加されている。

【0066】

変換用トランジスタ Q 4 のゲート・ドレイン間には、第 2 スイッチング用トランジスタ Q 2 が接続されている。従って、変換用トランジスタ Q 4 のドレインは第 2 スイッチング用トランジスタ Q 2 及び第 1 スイッチング用トランジスタ Q 1 を介してデータ線 X_m に接続されている。その結果、トランジスタ Q 1, Q 2, Q 3, Q 4 は、カレントミラー回路を構成し、理想的にはトランジスタ Q 3 とトランジスタ Q 4 のサイズ比でトランジスタ Q 4 に流れる電流がトランジスタ Q 3 に比例減少または増加されて流れる。

【0067】

第 1 スイッチング用トランジスタ Q 1 のゲートは、走査線 Y_n を構成する第 1 の副走査線 Y_{n1} に接続され、その第 1 の副走査線 Y_{n1} から第 1 走査信号 S C_{n1} が入力される。第 2 スイッチング用トランジスタ Q 2 のゲートは、走査線 Y_n を構成する第 2 の副走査線 Y_{n2} に接続され、その第 2 の副走査線 Y_{n2} からの第 2 走査信号 S C_{n2} が入力される。そして、第 1 スイッチング用トランジスタ Q 1 及び第 2 スイッチング用トランジスタ Q 2 が、それぞれの第 1 走査信号 S C_{n1} 及び第 2 走査信号 S C_{n2} に基づいて後記するようにオン・オフされる。すると、前記データ線 X_m から供給される後記するデジタルデータ V D G D A T A_m 又はアナログデータ電流 I A N D A T A_m が保持キャパシタ C 1 に供給されるようになっている。

【0068】

前記保持キャパシタ C 1 の両端子間には、リセット用トランジスタ Q 5 が接続されている。リセット用トランジスタ Q 5 のゲートは、走査線 Y_n を構成する第 3 の副走査線 Y_{n3} に接続され、その第 3 の副走査線 Y_{n3} からの第 3 走査信号 S C_{n3} が入力される。そして、リセット用トランジスタ Q 5 が第 3 走査信号 S C_{n3} に基づいてオンされると、リセット用トランジスタ Q 5 を介して前記電源

線 L 1 からの電源電圧 V_{OE}L を保持キャパシタ C 1 の一端に印加する。保持キャパシタ C 1 の一端に電源電圧 V_{OE}L が印加されると、保持キャパシタ C 1 はリセットされ、前記駆動用トランジスタ Q 3 をオフ状態にする。

【0069】

そして、本実施形態において、第 1 スイッチング用トランジスタ Q 1 が第 2 のトランジスタ、駆動用トランジスタ Q 3 が第 1 のトランジスタ、変換用トランジスタ Q 4 が第 3 のトランジスタ、及び、リセット用トランジスタ Q 5 が第 5 のトランジスタを構成している。

【0070】

このように構成された画素回路 20 は、2 値のデータ電圧を入力したり、多値のデータ電流を入力して有機 EL 素子 21 を発光制御することができる。

そして、画素回路 20 は、順次選択される一つの走査線に対応した画素回路 20 に 2 値のデータ電圧を書き込むと同時に 2 値のデータ電圧に応じた電流レベルを有する電流を有機 EL 素子 21 に供給を開始し、所定時間後に有機 EL 素子 21 への前記電流供給を遮断して行う時分割階調を行うことができる。

【0071】

図 4 に示すように、前記各サブフレーム S F 1 ～ S F 6 において L レベルの第 2 及び第 3 走査信号 S C n 2, S C n 3 に基づいて第 2 スイッチング用トランジスタ Q 2 及びリセット用トランジスタ Q 5 をオフ状態に保持させる。この状態において、H レベルの第 1 走査信号 S C n 1 に基づいて第 1 スイッチング用トランジスタ Q 1 をオン状態として、デジタルデータ電圧出力回路から出力されたデジタルデータ V D G D A T A m がデータ線 X m を介して図 2 に示した画素回路 20 に供給される。これにより、前記の 2 値の電圧データに対応した電荷量が保持キャパシタ C 1 に蓄積される。

【0072】

保持キャパシタ C 1 に上記電圧データに応じた電荷量の蓄積に応じて駆動用トランジスタ Q 3 の導通状態が設定され、これに対応した輝度で有機 EL 素子 21 が発光する。少なくとも有機 EL 素子 21 の発光期間内は第 1 走査信号 S C n 1 が L レベルとなり第 1 スイッチング用トランジスタ Q 1 がオフ状態とすることが

好ましい。各走査線に対応した画素における各サブフレームは、第3走査信号 SC_n3 を一定期間Hレベルにしてリセット用トランジスタ Q_5 をオン状態とすることによって終了する。すなわち、保持キャパシタ C_1 の一端に、電源線 L_1 の電位が印加され、保持キャパシタ C_1 に書き込まれたデータがセットされることにより駆動用トランジスタ Q_3 には、電流が流れなくなる。そして、デジタル階調による中間調が表現される。

【0073】

前記電荷量は駆動用トランジスタ Q_3 のゲートにゲート電圧を発生させ、駆動用トランジスタ Q_3 の導通状態を決定するが、上記2値の電圧データのそれぞれは、例えば、駆動用トランジスタ Q_3 の抵抗値が最小値と最大値に対応させて設定することが好ましい。すなわち、有機EL素子21の輝度の最小値と最大値に対応させて設定することが好ましい。なお、駆動用トランジスタ Q_3 として薄膜トランジスタを用いると飽和領域が明瞭でない場合があるが、その場合、上記2値の電圧データを上記2値のデータは所望の輝度の範囲の下限值及び上限値に「対応して設定してもよい。

【0074】

つまり、第2スイッチング用トランジスタ Q_2 がオフ状態に保持される状態において、第1の副走査線 Y_{n1} にHレベルの走査信号 SC_{n1} が出力されると、スイッチング用トランジスタ Q_1 はオン状態となる。第1スイッチング用トランジスタ Q_1 がオン状態となると、データ線 X_m からデジタルデータ $VDGDATA_m$ が供給され前記保持キャパシタ C_1 に供給される。このデジタルデータ $VDGDATA_m$ は、2値、即ち、前記有機EL素子21の輝度の最小値と最大値（または下限値と上限値）のいずれかを設定するためのデータであって、前記駆動用トランジスタ Q_3 の抵抗値を最小値と最大値のいずれかにするためのデータである。尚、デジタルデータ $VDGDATA_m$ が保持された保持キャパシタ C_1 は、走査信号 SC_{n1} が消失しスイッチング用トランジスタ Q_1 がオフ状態になっても先に蓄積したデジタルデータ $VDGDATA_m$ を保持する。

【0075】

そして、前記駆動用トランジスタ Q_3 は、蓄積されるデジタルデータ $VDGDATA$

mの内容に基づいてオン状態又はオフ状態のいずれかに制御される。そして、駆動用トランジスタQ3がオン状態のとき、有機EL素子21は駆動電流が供給され発光する。反対に、駆動用トランジスタQ3がオフ状態のとき、有機EL素子21は駆動電流の供給が遮断され発光を停止する。

【0076】

次に、サブフレームの終了時に、第3の副走査線Yn3に第3走査信号SCn3が各サブフレームSF1～SF6に応じたタイミングで出力されると、リセット用トランジスタQ5がオフ状態からオン状態となる。リセット用トランジスタQ5がオン状態となると、電源線L1から電源電圧VOELが同リセット用トランジスタQ5を介して前記保持キャパシタC1に印加され先のデジタルデータVDG DATAmは消去されるとともに、駆動用トランジスタQ3のゲートは電源電圧VOELの電位となる。つまり、保持キャパシタC1はリセットされる。

【0077】

保持キャパシタC1がリセットされると、駆動用トランジスタQ3はオフ状態となり、先のデジタルデータVDG DATAmに基づいて発光していた有機EL素子21がその発光を停止する。そして、次に実行される発光動作を待つ。つまり、順次点灯同時消去法による時分割階調が行われる時、各画素回路20の有機EL素子21の発光期間TL1～TL6は、第1走査信号SCn1が出力されてから第3走査信号SCn3が出力されるまでの間が発光期間となる。

【0078】

一方、画素回路20において、有機EL素子21に多値のデータ電流に応じた電流レベルの電流を供給する駆動用トランジスタQ3を階調に応じた導通状態するアナログ階調が以下のように行われる。図5に示すように、第1及び第2スイッチング用トランジスタQ1、Q2を所定のタイミングでオン・オフ制御する第1及び第2走査信号SCn1、SCn2を出力することによってアナログ階調による中間調を表現するようになっている。このとき、リセット用トランジスタQ5を終始オフ状態に保持するために、Lレベルの第3走査信号SCn3が出力されている。

【0079】

つまり、第1及び第2の副走査線 Y_{n1} 、 Y_{n2} に走査信号 SC_{n1} 、 SC_{n2} が出力されると、第1及び第2スイッチング用トランジスタ Q_1 、 Q_2 は共にオン状態となる。これによって、データ線 X_m からアナログデータ電流 I_{ANDATA_m} が第1及び第2スイッチング用トランジスタ Q_1 、 Q_2 を介して供給される。このとき、変換用トランジスタ Q_4 のゲート電圧はアナログデータ電流 I_{ANDATA_m} に相対した電圧レベルとなり、その電圧レベルが保持キャパシタ C_1 に保持される。

【0080】

その結果、駆動用トランジスタ Q_3 のゲートに印加される電圧は、アナログデータ電流 I_{ANDATA_m} に基づいた電圧レベルとなり、駆動用トランジスタ Q_3 はアナログデータ電流 I_{ANDATA_m} と相対した電流量を有機EL素子21に供給する。つまり、アナログデータ電流 I_{ANDATA_m} に比例した駆動電流が有機EL素子21に供給され、有機EL素子21はアナログデータ電流 I_{ANDATA_m} に応じた階調で発光を開始する。

【0081】

走査線駆動回路12は、前記複数の走査線 $Y_1 \sim Y_n$ の中の1本を選択、即ち走査信号を出力してその選択された走査線に接続された画素回路20群を駆動するための回路である。走査線駆動回路12は、制御回路14からの各種信号に基づいて各走査線 $Y_1 \sim Y_n$ に対して所定のタイミングで走査信号 $SC_1 \sim SC_n$ をそれぞれ出力する。

【0082】

詳述すると、前記したような時分割階調方式において、1フレームを構成する各サブフレーム $SF_1 \sim SF_6$ において、各走査線 $Y_1 \sim Y_n$ 上の画素回路群を順次駆動させる必要がある。そのため、走査線駆動回路12は、1フレームの画像を表示するために、各サブフレーム $SF_1 \sim SF_6$ の期間において、各走査線 $Y_1 \sim Y_n$ を順番に選択するように走査信号 $SC_1 \sim SC_n$ を順番に生成し出力するようになっている。そして、走査線駆動回路12は、各走査線 $Y_1 \sim Y_n$ における第1の副走査線に対してHレベルの走査信号 $SC_{11} \sim SC_{n1}$ をそれぞれ一定期間出力する。そして、所定時間経過すると、走査線駆動回路12はその

対応する走査線 $Y_1 \sim Y_n$ における第 3 の副走査線 $Y_{13} \sim Y_{n3}$ に H レベルの走査信号 $SC_{13} \sim SC_{n3}$ をそれぞれ一定期間出力するようになっている。

【0083】

つまり、各サブフレーム $SF_1 \sim SF_6$ において、それぞれ発光期間 $TL_1 \sim TL_6$ だけ発光（デジタルデータによって非発光）させるように設定している。

一方、走査線駆動回路 12 は、前記したアナログ階調において、前記したように制御回路 14 からの各種信号に基づいて各走査線 $Y_1 \sim Y_n$ に対して所定のタイミングで H レベルの走査信号 $SC_{11} \sim SC_{n1}$, $SC_{12} \sim SC_{n2}$ をそれぞれ出力する。

【0084】

データ線駆動回路 13 は、前記各データ線 $X_1 \sim X_m$ 毎に、図 2 に示すようにデータ電圧出力回路としてのデジタルデータ電圧出力回路 13a とデータ電流出力回路としてのアナログデータ電流出力回路 13b を備えている。デジタルデータ電圧出力回路 13a は、制御回路 14 からの前記デジタルデータ $VDGDATA_1 \sim VDGDATA_m$ を入力し、このデジタルデータ $VDGDATA_1 \sim VDGDATA_m$ を前記走査信号 $SC_{11} \sim SC_{n1}$ に同期して第 1 スイッチ Q_{11} を介して対応するデータ線 $X_1 \sim X_m$ に出力される。

【0085】

一方、アナログデータ電流出力回路 13b は、制御回路 14 から前記アナログデータ電流 $I_{ANDATA_1} \sim I_{ANDATA_m}$ を入力する。これにより、アナログデータ電流出力回路 13b は、このアナログデータ電流 $I_{ANDATA_1} \sim I_{ANDATA_m}$ を前記走査信号 $SC_{11} \sim SC_{n1}$, $SC_{12} \sim SC_{n2}$ に同期して第 2 スイッチ Q_{12} を介して対応するデータ線 $X_1 \sim X_m$ に出力する。

【0086】

切り替え回路を構成する第 1 スイッチ Q_{11} 及び第 2 スイッチ Q_{12} は、デジタルデータ $VDGDATA_1 \sim VDGDATA_m$ とアナログデータ電流 $I_{ANDATA_1} \sim I_{ANDATA_m}$ のいずれかを選択し各データ線 $X_1 \sim X_m$ に出力させるスイッチであって、N チャネル FET にて構成されている。そして、第 1 スイッチ Q_{11} はゲート端子に第 1 制御信号 SG_1 が制御回路 14 から入力されるとオンし、デジタルデータ VDG

DATA1～VDGDATA_mを各データ線X₁～X_mに出力させる。第2スイッチQ₁₂はゲート端子に第2制御信号SG₂が制御回路14から入力されるとオンし、アナログデータ電流I_{ANDATA1}～I_{ANDATA_m}を各データ線X₁～X_mに出力させる。

【0087】

つまり、前記走査線駆動回路12が1つの走査線に走査信号を出力した時、デジタル階調の場合、データ線駆動回路13はその選択された走査線上の各画素回路20に対してデジタルデータVDGDATA1～VDGDATA_mを出力する。また、アナログ階調の場合、データ線駆動回路13はその選択された走査線上の各画素回路20に対してアナログデータ電流I_{ANDATA1}～I_{ANDATA_m}を出力する。

【0088】

制御手段、データ電圧生成回路又はデータ電流生成回路としての制御回路14は、図示しない外部装置から画像データDを入力し、同画像データDに基づいて中間調の制御をデジタル階調で行うかアナログ階調で行うかを判断する。本実施形態では、画像データDが第1の表示データとしての文字等の多階調表示を必要としない場合はデジタルデータVDGDATA1～VDGDATA_mを生成し、デジタル階調で中間調の制御を行うことが好ましい。又、画像データDが第2の表示データとしてのアニメ、ムービーのような多階調を表示するには、アナログデータ電流I_{ANDATA1}～I_{ANDATA_m}を生成し、アナログ階調で中間調の制御を行う。言い換えると、制御回路14は、表示品位を特に必要としない場合にはデジタル階調（時分割階調）で、動画等の表示品位を必要とする場合にはアナログ階調で行うように走査線駆動回路12及びデータ線駆動回路13を制御する。さらに、制御回路14は、文字等で特に白黒表示しかしない場合は、デジタルデータVDGDATA1～VDGDATA_mを供給するのみで時分割階調を行わないように、走査線駆動回路12及びデータ線駆動回路13を制御することもできる。

【0089】

そして、制御回路14は、時分割階調を実行する場合、1フレームの画像データDを有機ELディスプレイ10で表現するために、1フレームを6つに分割しその分割された6つのサブフレームSF₁～SF₆を使って1つの画像を64階調で表現する。

【0090】

制御回路14は、1フレームの画像データDについて、データ線駆動回路13に対して第1～第6サブフレームSF1～SF6に対する各走査線Y1～Yn上の各画素回路20に供給するデジタルデータVDGDATA1～VDGDATAmを生成する。このとき、制御回路14は「1」の諧調を表現するためのデジタルデータVDGDATA1～VDGDATAmを第1サブフレームSF1において作成する。又、制御回路14は、「2」の諧調を表現するためのデジタルデータVDGDATA1～VDGDATAmを第2サブフレームSF2において、「4」の諧調を表現するためのデジタルデータVDGDATA1～VDGDATAmを第3サブフレームSF3においてそれぞれ作成する。さらに、制御回路14は、「8」の諧調を表現するためのデジタルデータVDGDATA1～VDGDATAmを第4サブフレームSF4において、「16」の諧調を表現するためのデジタルデータVDGDATA1～VDGDATAmを第5サブフレームSF5においてそれぞれ作成する。さらに又、制御回路14は、「32」の諧調を表現するためのデジタルデータVDGDATA1～VDGDATAmを第6サブフレームSF6において作成する。

【0091】

そして、これら第1～第6サブフレームSF1～SF6のデジタルデータVDGDATA1～VDGDATAmをデータ線駆動回路13のデジタルデータ電圧出力回路13aに所定のタイミングで出力する。この時、制御回路14はデータ線駆動回路13の第1スイッチQ11に対して第1制御信号SG1を出力する。

【0092】

制御回路14は、デジタル階調において、走査線駆動回路12に対して走査線駆動回路12において生成される走査線を順番に選択し画素回路20を制御するための走査信号SC11～SCn1を順番に出力させるタイミングを制御する。

【0093】

又、走査線駆動回路12に対して各サブフレームSF1～SF6における各走査線Y1～Ynに対する走査信号SC13～SCn3を順番に出力させるタイミングを制御する。因みに、走査線駆動回路12は、第1サブフレームSF1においては、走査信号SC11～SCn1が出力されてTL1時間経過後に走査信号S

C13～SCn3がそれぞれ出力するようになっている。又、第2サブフレームSF2においては、走査信号SC11～SCn1が出力されてTL2(=2×TL1)時間経過後に、第3サブフレームSF3においては、走査信号SC11～SCn1が出力されてTL3(=4×TL1)時間経過後に、走査信号SC13～SCn3がそれぞれ出力するようになっている。さらに、第4サブフレームSF4においては、走査信号SC11～SCn1が出力されてTL4(=8×TL1)時間経過後に、走査信号SC13～SCn3がそれぞれ出力するようになっている。又、第5サブフレームSF5においては、走査信号SC11～SCn1が出力されてTL5(=16×TL1)時間経過後に、第6サブフレームSF6においては、走査信号SC11～SCn1が出力されてTL6(=32×TL1)時間経過後に、走査信号SC13～SCn3がそれぞれ出力するようになっている。

【0094】

一方、制御回路14は、アナログ階調を実行する場合、1フレームの画像データDを有機ELディスプレイ10で表現する。そのために、制御回路14は、順番に選択される各走査線Y1～Yn毎に、その走査線Y1～Ynに接続される各画素回路20に対するアナログデータ電流IANDATA1～IANDATAmを1フレームの画像データDに基づいて生成する。制御回路14は、その生成したアナログデータ電流IANDATA1～IANDATAmを所定のタイミングでデータ線駆動回路13のアナログデータ電流出力回路13bに出力する。この時、制御回路14はデータ線駆動回路13の第2スイッチQ12に対して第2制御信号SG2を出力する。

【0095】

制御回路14は、アナログ階調において、走査線駆動回路12に対して走査線駆動回路12において生成される走査線を順番に選択しその選択された走査線上の各画素回路20を制御するための走査信号SC11～SCn1、SC12～SCn2を順番に出力させるタイミングを制御する。

【0096】

次に、上記のように構成した有機ELディスプレイ10の作用を説明する。

制御回路14は、外部装置から画像データDが入力されると、その画像データDが多階調表示を必要としない静止画又は多階調表示の動画のデータかを判断す

る。そして、画像データDが静止画のデータの場合、デジタル階調モードとなる。画像データDが動画のデータの場合、アナログ階調モードとなる。

【0097】

(デジタル階調モード)

まず、デジタル階調モードについて説明する。制御回路14は、1フレームの画像データDについて、データ線駆動回路13に対して第1～第6サブフレームSF1～SF6に対する各走査線Y1～Yn上の各画素回路20に供給するデジタルデータVDGDATA1～VDGDATAmを生成する。そして、これら第1～第6サブフレームSF1～SF6のデジタルデータVDGDATA1～VDGDATAmをデータ線駆動回路13のデジタルデータ電圧出力回路13aに所定のタイミングで出力する。この時、制御回路14はデータ線駆動回路13の第1スイッチQ11に対して第1制御信号SG1を出力する。

【0098】

又、制御回路14は、走査線駆動回路12に対して走査線駆動回路12において生成される走査線を順番に選択し画素回路20を制御するための走査信号SC11～SCn1、SC12～SCn2、SC13～SCn3を順番に出力させるタイミングを制御する。そして、走査線駆動回路12は、第1サブフレームSF1のためのHレベルの第1走査信号SC11～SCn1を順次出力し各第1の副走査線Y11～Yn1を順番に選択していく。また、走査線駆動回路12は、各第1走査信号SC11～SCn1をそれぞれ出力したTL1時間経過後、第3走査信号SC13～SCn3をそれぞれ出力する。

【0099】

一方、データ線駆動回路13は、各走査線Y1～Ynが選択される毎に、その選択された走査線上の各画素回路20に第1サブフレームSF1におけるデジタルデータVDGDATA1～VDGDATAmを順次出力する。従って、選択された走査線上の各画素回路20はデジタルデータVDGDATA1～VDGDATAmに基づいて動作（点灯又は消灯）する。そして、各画素回路20はTL1時間経過後のHレベルの第3走査信号SC13～SCn3にそれぞれ応答して順次消灯動作する。

【0100】

第1サブフレームSF1の最後の走査線Y_n上の各画素回路20へのデジタルデータVDGDATA1～VDGDATAmの供給が終了すると、走査線駆動回路12は第2サブフレームSF2のためのHレベルの第1走査信号SC11～SCn1を順次出力し各第1の副走査線Y11～Yn1を順番に選択していく。また、走査線駆動回路12は、第1走査信号SC11～SCn1をそれぞれ出力してTL2(=2×TL1)時間経過後、第3走査信号SC13～SCn3をそれぞれ出力する。

【0101】

一方、データ線駆動回路13は、前記と同様に、選択された走査線上の各画素回路20に第2サブフレームSF2におけるデジタルデータVDGDATA1～VDGDATAmを順次出力する。そして、選択された走査線上の各画素回路20は前記同様にデジタルデータVDGDATA1～VDGDATAmに基づいて動作(点灯又は消灯)し、TL2時間経過後の第3走査信号SC13～SCn3にそれぞれ応答して順次消灯動作する。以後、第3サブフレームSF3～第6サブフレームSF6についても、同様な動作が繰り返されて1フレームの画像が表現される。そして、1フレームの画像表示動作が終了すると、次の1フレームのための画像表示動作が同様に行われる。

【0102】

(アナログ階調モード)

次に、アナログ階調モードについて説明する。制御回路14は、1フレームの画像データDに基づいて順番に選択される各走査線Y1～Yn毎に、その走査線Y1～Ynに接続される各画素回路20に対するアナログデータ電流IANDATA1～IANDATAmを生成する。制御回路14は、その生成したアナログデータ電流IANDATA1～IANDATAmを所定のタイミングでデータ線駆動回路13のアナログデータ電流出力回路13bに出力する。この時、制御回路14はデータ線駆動回路13の第2スイッチQ12に対して第2制御信号SG2を出力する。又、制御回路14は、走査線駆動回路12に対して走査線駆動回路12において生成される走査線を順番に選択しその選択された走査線上の各画素回路20を制御するための走査信号SC11～SCn1、SC12～SCn2、SC13～SCn3を順番に出力させるタイミングを制御する。

【0103】

そして、走査線駆動回路12は、Hレベルの第1及び第2走査信号SC11～SCn1、SC12～SCn2を順次出力し各走査線Y1～Ynを順番に選択していく。一方、データ線駆動回路13は、各走査線Y1～Yn（Y11～Yn1）が選択される毎に、その選択された走査線上の各画素回路20にアナログデータ電流IANDATA1～IANDATAmを順次出力する。従って、選択された走査線上の各画素回路20の有機EL素子21はアナログデータ電流IANDATA1～IANDATAmに応じた輝度で発光する。

【0104】

次に、上記のように構成した有機ELディスプレイ10の特徴を以下に記載する。

本実施形態によれば、文字等の多階調表示を必要としない場合にはデジタル階調で、アニメ、ムービーのような多階調表示をする場合にはアナログ階調でその中間調を表現した。言い換えると、表示品位をあまり必要としない場合には低消費電力のデジタル階調で中間調を表現し、表示品位を必要とする場合にはアナログ階調で中間調を表現した。従って、有機ELディスプレイ10は、低消費電力と十分な表示品位を両立することができる。

【0105】

本実施形態によれば、デジタルデータVDGDATA1～VDGDATAmとアナログデータ電流IANDATA1～IANDATAmをそれぞれ同一のデータ線X1～Xmを介して画素回路20に供給されるようにしたので、表示パネル部11に形成される配線の数減らすことができる。

【0106】

尚、本実施形態では、アナログ階調モードにおいて、リセット用トランジスタQ5は終始オフ状態に保持していた。これを、次のアナログデータ電流IANDATA1～IANDATAmの書き込みの前に、リセット用トランジスタQ5をオンさせて発光期間を終了させるように実施してもよい。

【0107】

（第2実施形態）

次に、第2実施形態について図6に従って説明する。本実施形態は、画素回路20に特徴があるため、説明の便宜上画素回路20についてのみ説明する。

【0108】

図6において、画素回路20は、駆動用トランジスタQ3、第1及び第2スイッチング用トランジスタQ31、Q32、開始用トランジスタQ34、リセット用トランジスタQ5及び保持キャパシタC1を有している。駆動用トランジスタQ3は、PチャネルFETより構成されている。第1及び第2スイッチング用トランジスタQ31、Q32、開始用トランジスタQ34及びリセット用トランジスタQ5は、NチャネルFETより構成されている。

【0109】

駆動用トランジスタQ3は、ドレインが開始用トランジスタQ34を介して前記有機EL素子21の陽極に接続されて、ソースが電源線L1に接続されている。電源線L1には、有機EL素子21を駆動させるための電源電圧VOELが供給されている。駆動用トランジスタQ3のゲートと電源線L1との間には、保持キャパシタC1が接続されている。また、駆動用トランジスタQ3のゲートと電源線L1との間には、リセット用トランジスタQ5が接続されている。さらに、駆動用トランジスタQ3のゲートは、第1スイッチング用トランジスタQ31及び第2スイッチング用トランジスタQ32を介してデータ線Xmと接続されている。

【0110】

第1スイッチング用トランジスタQ31と第2スイッチング用トランジスタQ32の接続点は、前記駆動用トランジスタQ3のドレインと接続されている。第1及び第2スイッチング用トランジスタQ31、Q32のゲートは、走査線Ynを構成する第1の副走査線Yn1に接続され、その第1の副走査線Yn1から第1走査信号SCn1が入力される。そして、第1スイッチング用トランジスタQ31及び第2スイッチング用トランジスタQ32が、それぞれの第1走査信号SCn1及び第2走査信号SCn2に基づいて後記するようにオン・オフされる。すると、前記データ線Xmから供給される後記するデジタルデータVDGDATAm又はアナログデータ電流IANDATAmが保持キャパシタC1に供給されるようになっ

ている。

【0111】

前記開始用トランジスタQ34のゲートは、走査線Y_nを構成する第2の副走査線Y_{n2}に接続され、その第2の副走査線Y_{n2}からの第2走査信号SC_{n2}が入力される。そして、開始用トランジスタQ34は、前記駆動用トランジスタQ3がオン状態において、第2走査信号SC_{n2}に基づいてオンされると、前記有機EL素子21に駆動電流を供給するようになっている。

【0112】

前記リセット用トランジスタQ5のゲートは、走査線Y_nを構成する第3の副走査線Y_{n3}に接続され、その第3の副走査線Y_{n3}からの第3走査信号SC_{n3}が入力される。そして、リセット用トランジスタQ5は、第3走査信号SC_{n3}に基づいてオンされると、リセット用トランジスタQ5を介して電源線L1からの電源電圧VOELを保持キャパシタC1の一端に印加する。保持キャパシタC1の一端に電源電圧VOELが印加されると、保持キャパシタC1はリセットされ、前記駆動用トランジスタQ3をオフ状態にする。

【0113】

このように構成された画素回路20において、順次選択される一つの走査線に対応した画素回路20に2値のデータ電圧を書き込むと同時に2値のデータ電圧に応じた電流レベルを有する電流を有機EL素子21に供給を開始し、所定時間後に前記電流供給を遮断して行う時分割階調が以下のように行われる。図7に示すように、前記各サブフレームSF1～SF6において、Hレベルの第2走査信号SC_{n2}に基づいて開始用トランジスタQ34をオン状態に保持させるとともに、Lレベルの第3走査信号SC_{n3}に基づいてリセット用トランジスタQ5をオフ状態に保持させる。この状態において、Hレベルの第1走査信号SC_{n1}に基づいて第1及び第2スイッチング用トランジスタQ31, Q32がオン状態になる。

【0114】

第1及び第2スイッチング用トランジスタQ31, Q32がオン状態となると、データ線X_mからデジタルデータVDGDATA_mが供給され前記保持キャパシタC1

に供給される。このデジタルデータ $VDGDATA_m$ は、2 値、即ち、前記実施形態と同様な前記有機 EL 素子 21 の輝度の最小値と最大値（または下限値と上限値）のいずれかを設定するためのデータであって、前記駆動用トランジスタ Q3 の抵抗値を最小値と最大値のいずれかにするためのデータである。尚、デジタルデータ $VDGDATA_m$ が保持された保持キャパシタ C1 は、第 1 走査信号 SC_{n1} が L レベルになって第 1 及び第 2 スイッチング用トランジスタ Q31, 32 がオフ状態になっても先に蓄積したデジタルデータ $VDGDATA_m$ を保持する。

【0115】

そして、前記駆動用トランジスタ Q3 は、蓄積されるデジタルデータ $VDGDATA_m$ の内容に基づいてオン状態又はオフ状態のいずれかに制御される。そして、駆動用トランジスタ Q3 がオン状態のとき、有機 EL 素子 21 は駆動電流が供給され発光する。反対に、駆動用トランジスタ Q3 がオフ状態のとき、有機 EL 素子 21 は駆動電流の供給が遮断され発光を停止する。

【0116】

次に、第 3 の副走査線 Y_{n3} に第 3 走査信号 SC_{n3} が各サブフレーム $SF_1 \sim SF_6$ に応じたタイミングで出力されると、リセット用トランジスタ Q5 がオフ状態からオン状態となる。リセット用トランジスタ Q5 がオン状態となると、電源線 L1 から電源電圧 $VOEL$ が同リセット用トランジスタ Q5 を介して前記保持キャパシタ C1 に印加され先のデジタルデータ $VDGDATA_m$ は消去されるとともに、駆動用トランジスタ Q3 のゲートは電源電圧 $VOEL$ の電位となる。つまり、保持キャパシタ C1 はリセットされる。

【0117】

保持キャパシタ C1 がリセットされると、駆動用トランジスタ Q3 はオフ状態となり、先のデジタルデータ $VDGDATA_m$ に基づいて発光していた有機 EL 素子 21 がその発光を停止する。そして、次に実行される発光動作を待つ。つまり、時分割階調が行われる時、各画素回路 20 の有機 EL 素子 21 の発光期間 $TL_1 \sim TL_6$ は、第 1 走査信号 SC_{n1} が出力されてから第 3 走査信号 SC_{n3} が出力されるまでの間が発光期間となる。

【0118】

一方、画素回路 20 において、有機 EL 素子 21 に多値のデータ電流に応じた電流レベルの電流を供給する駆動用トランジスタ Q3 を階調に応じた導通状態するアナログ階調が以下のように行われる。図 8 に示すように、第 1 及び第 2 スイッチング用トランジスタ Q1, Q2、及び、開始用トランジスタ Q34 を所定のタイミングでオン・オフ制御することによってアナログ階調が行われる。このとき、リセット用トランジスタ Q5 を終始オフ状態に保持するために、L レベルの第 3 走査信号 SCn3 が出力されている。

【0119】

つまり、第 1 の副走査線 Yn1 に H レベルの第 1 走査信号 SCn1 が出力されると、第 1 及び第 2 スイッチング用トランジスタ Q31, Q32 は共にオン状態となる。これによって、データ線 Xm からアナログデータ電流 I ANDATAm が第 1 及び第 2 スイッチング用トランジスタ Q1, Q2 を介して供給される。従って、保持キャパシタ C1 は、アナログデータ電流 I ANDATAm に基づく電荷量となる。その結果、駆動用トランジスタ Q3 のゲートに印加される電圧は、アナログデータ電流 I ANDATAm に基づいて設定した輝度階調に相当する電圧に到達する。

【0120】

続いて、開始用トランジスタ 34 が第 2 走査信号 SCn2 に応答してオンすると、駆動用トランジスタ Q3 は、下がったゲート電圧に応答してオン動作し、そのゲート電圧に相対した駆動電流が有機 EL 素子 21 に供給される。有機 EL 素子 21 は、供給される駆動電流に基づいて設定した輝度階調で発光する。

【0121】

このように、本実施形態も前記した第 1 実施形態と同様に、文字等の多階調表示を必要としない場合にはデジタル階調で、アニメ、ムービーのような多階調表示する場合にはアナログ階調でその中間調を表現することができる。従って、表示品位をあまり必要としない場合には低消費電力のデジタル階調で中間調を表現し、表示品位を必要とする場合にはアナログ階調で中間調を表現でき、低消費電力と十分な表示品位を両立することができる有機 EL ディスプレイ 10 を提供することができる。

【0122】

又、第2実施形態によれば、デジタルデータVDGDATA1～VDGDATA_mとアナログデータ電流I ANDATA1～I ANDATA_mをそれぞれ同一のデータ線X1～X_mを介して画素回路20に供給されるようにしたので、表示パネル部11に形成される配線の数を減らすことができる。

【0123】

尚、本実施形態では、アナログ階調モードにおいて、リセット用トランジスタQ5は終始オフ状態に保持していた。これを、次のアナログデータ電流I ANDATA1～I ANDATA_mの書き込みの前に、リセット用トランジスタQ5をオンさせて発光期間を終了させるように実施してもよい。

【0124】

(第3実施形態)

次に、第3実施形態について図9に従って説明する。本実施形態は、画素回路20に特徴があるため、説明の便宜上画素回路20についてのみ説明する。

【0125】

図9において、画素回路20は、駆動用トランジスタQ3、第1及び第2スイッチング用トランジスタQ41、Q42、開始用トランジスタQ44、第3のトランジスタとしての補償用トランジスタQ45、リセット用トランジスタQ5及び保持キャパシタC1を有している。駆動用トランジスタQ3は、PチャネルFETより構成されている。第1及び第2スイッチング用トランジスタQ41、Q42、開始用トランジスタQ44、補償用トランジスタQ45及びリセット用トランジスタQ5は、NチャネルFETより構成されている。

【0126】

駆動用トランジスタQ3は、ドレインが前記有機EL素子21の陽極に接続されて、ソースが開始用トランジスタQ44を介して電源線L1に接続されている。電源線L1には、有機EL素子21を駆動させるための電源電圧VOELが供給されている。駆動用トランジスタQ3のゲートと電源線L1との間には、保持キャパシタC1が接続されている。また、駆動用トランジスタQ3のゲートと電源線L1との間には、リセット用トランジスタQ5が接続されている。

【0127】

さらに、駆動用トランジスタQ3のゲートは、第1スイッチング用トランジスタQ41を介してデータ線Xmと接続されている。さらに又、駆動用トランジスタQ3のソースは、第2スイッチング用トランジスタQ42を介してデータ線Xmと接続されている。駆動用トランジスタQ3のゲートとドレインの間には、補償用トランジスタQ45が接続されている。

【0128】

第1スイッチング用トランジスタQ41のゲートは、走査線Ynを構成する第5の副走査線Yn5に接続され、その第5の副走査線Yn5から第5走査信号SCn5が入力される。そして、第1スイッチング用トランジスタQ41が、第5走査信号SCn5に基づいて後記するようにオン・オフされると、前記データ線Xmから供給される後記するデジタルデータVDGDATAm又はアナログデータ電流IANDATAmが保持キャパシタC1に供給されるようになっている。

【0129】

第2スイッチング用トランジスタQ42のゲートは、走査線Ynを構成する第1の副走査線Yn1に接続され、その第1の副走査線Yn1から第1走査信号SCn1が入力される。そして、第2スイッチング用トランジスタQ42が、第1走査信号SCn1に基づいてオンされると、前記データ線Xmから電源電圧VOELと同電位の電圧が駆動用トランジスタQ3のソースに印加されるようになっている。詳述すると、データ線Xmは、アナログ階調の時には、アナログデータ電流出力回路13bからアナログデータ電流IANDATAmが出力される前段階において、電源電圧VOELと同電位のバイアス電圧が図示しない供給回路によって印加されるようになっている。

【0130】

開始用トランジスタQ44のゲートは、走査線Ynを構成する第3の副走査線Yn3に接続され、その第3の副走査線Yn3からの第3走査信号SCn3が入力される。そして、開始用トランジスタQ44は、前記駆動用トランジスタQ3がオン状態において、第3走査信号SCn3に基づいてオンされると、前記有機EL素子21に駆動電流を供給するようになっている。補償用トランジスタQ45のゲートは、走査線Ynを構成する第2の副走査線Yn2に接続され、その第

2 の副走査線 Y_{n2} から第 2 走査信号 SC_{n2} が入力される。そして、補償用トランジスタ Q_{45} が、アナログ階調の時に於いて第 2 走査信号 SC_{n2} に基づいてオンされると、前記データ線 X_m から電源電圧 V_{0EL} と同電位のバイアス電圧に基づいて駆動用トランジスタ Q_3 を介して流れる電流を保持キャパシタ C_1 に供給するようになっている。

【0131】

前記リセット用トランジスタ Q_5 のゲートは、走査線 Y_n を構成する第 4 の副走査線 Y_{n4} に接続され、その第 4 の副走査線 Y_{n4} からの第 4 走査信号 SC_{n4} が入力される。そして、リセット用トランジスタ Q_5 は、第 4 走査信号 SC_{n4} に基づいてオンされると、リセット用トランジスタ Q_5 を介して電源線 L_1 からの電源電圧 V_{0EL} を保持キャパシタ C_1 の一端に印加する。保持キャパシタ C_1 の一端に電源電圧 V_{0EL} が印加されると、保持キャパシタ C_1 はリセットされ、前記駆動用トランジスタ Q_3 をオフ状態にする。

【0132】

このように構成された画素回路 20 において、順次選択される一つの走査線に対応した画素回路 20 に 2 値のデータ電圧を書き込むと同時に 2 値のデータ電圧に応じた電流レベルを有する電流を有機 EL 素子 21 に供給を開始し、所定時間後に前記電流供給を遮断して行う時分割階調が以下のように行われる。

【0133】

図 10 に示すように、前記各サブフレーム $SF_1 \sim SF_6$ において、H レベルの第 3 走査信号 SC_{n3} に基づいて開始用トランジスタ Q_{44} をオン状態に保持させる。又、L レベルの第 1 及び第 2 走査信号 SC_{n1} , SC_{n2} に基づいて第 2 スイッチング用トランジスタ Q_{42} 及び補償用トランジスタ Q_{45} をオフ状態に保持させる。さらに、L レベルの第 4 走査信号 SC_{n4} に基づいてリセット用トランジスタ Q_5 をオフ状態に保持させる。この状態において、H レベルの第 5 走査信号 SC_{n5} に基づいて第 1 スイッチング用トランジスタ Q_{41} がオン状態になる。

【0134】

第 1 スイッチング用トランジスタ Q_{41} がオン状態となると、データ線 X_m か

らデジタルデータ VDGDATAmが供給され前記保持キャパシタ C 1 に供給される。
このデジタルデータ VDGDATAmは、2 値、即ち、前記実施形態と同様な前記有機 EL 素子 2 1 の輝度の最小値と最大値（または下限値と上限値）のいずれかを設定するためのデータであって、前記駆動用トランジスタ Q 3 の抵抗値を最小値と最大値のいずれかにするためのデータである。尚、デジタルデータ VDGDATAmが保持された保持キャパシタ C 1 は、第 5 走査信号 S C n 5 が L レベルになって第 1 スイッチング用トランジスタ Q 4 1 がオフ状態になっても先に蓄積したデジタルデータ VDGDATAmを保持する。

【0 1 3 5】

そして、前記駆動用トランジスタ Q 3 は、蓄積されるデジタルデータ VDGDATAmの内容に基づいてオン状態又はオフ状態のいずれかに制御される。そして、駆動用トランジスタ Q 3 がオン状態のとき、有機 EL 素子 2 1 は駆動電流が供給され発光する。反対に、駆動用トランジスタ Q 3 がオフ状態のとき、有機 EL 素子 2 1 は駆動電流の供給が遮断され発光を停止する。

【0 1 3 6】

次に、第 4 の副走査線 Y n 4 に第 4 走査信号 S C n 4 が各サブフレーム S F 1 ～ S F 6 に応じたタイミングで出力されると、リセット用トランジスタ Q 5 がオフ状態からオン状態となる。リセット用トランジスタ Q 5 がオン状態となると、電源線 L 1 から電源電圧 V OELが同リセット用トランジスタ Q 5 を介して前記保持キャパシタ C 1 に印加され先のデジタルデータ VDGDATAmは消去されるとともに、駆動用トランジスタ Q 3 のゲートは電源電圧 V OELの電位となる。つまり、保持キャパシタ C 1 はリセットされる。

【0 1 3 7】

保持キャパシタ C 1 がリセットされると、駆動用トランジスタ Q 3 はオフ状態となり、先のデジタルデータ VDGDATAmに基づいて発光していた有機 EL 素子 2 1 がその発光を停止する。そして、次に実行される発光動作を待つ。つまり、時分割階調が行われる時、各画素回路 2 0 の有機 EL 素子 2 1 の発光期間 T L1～ T L6は、第 1 走査信号 S C n 1 が出力されてから第 3 走査信号 S C n 3 が出力されるまでの間が発光期間となる。

【0138】

一方、画素回路20において、有機EL素子21に多値のデータ電流に応じた電流レベルの電流を供給する駆動用トランジスタQ3を階調に応じた導通状態するアナログ階調が以下のように行われる。図11に示すように、Lレベルの第4走査信号SCn4に基づいてリセット用トランジスタQ5がオフ通状態に保持する。そして、第1及び第2スイッチング用トランジスタQ41、Q42、開始用トランジスタQ44及び補償用トランジスタQ45とを所定のタイミングでオン・オフ制御する第1～第3、第5走査信号SCn1～SCn3、SCn5を出力することによってアナログ階調が行われる。

【0139】

つまり、リセット用トランジスタQ5がオフ状態持される状態において、第1の副走査線Yn1にHレベルの走査信号SCn1が出力されると、第2スイッチング用トランジスタQ42はオン状態となる。この時、この時データ線Xmにかかっているバイアス電圧(=VOEL)が、第2スイッチング用トランジスタQ42を介して駆動用トランジスタQ3のソースに印加される。このとき、前のサイクル周期(Hレベルの走査信号SCn1が出力される前)において、保持キャパシタC1に蓄積されているアナログデータ電流IANDATAmに基づく電荷量によって駆動用トランジスタQ3はオン状態にあり、有機EL素子21は電流が流れる状態にある。その結果、駆動用トランジスタQ3のドレイン電位は、有機EL素子21の接地電位に対して十分に近い状態にある。従って、駆動用トランジスタQ3のドレイン電位は、十分マイナス方向に振れており、駆動用トランジスタQ3はオープン状態を確保される。

【0140】

続いて、第2の副走査線Yn2に出力されている走査信号SCn2がLレベルからHレベルになると、補償用トランジスタQ45はオン状態となる。又、第3の副走査線Yn3に走査信号SCn3が消失して(Lレベルになって)、開始用トランジスタQ44がオフ状態となる。

【0141】

補償用トランジスタQ45のオン及び開始用トランジスタQ44のオフによっ

て、駆動用トランジスタ Q3 のゲートに、バイアス電圧の電流が回りこみ、同ゲートの電位を押し上げる。そして、駆動用トランジスタ Q3 は、ゲートにかかる電圧が、バイアス電圧 ($=V_{OEL}$) から同駆動用トランジスタ Q3 の閾値電圧 V_{th} を引いた電圧 ($=V_{OEL}-V_{th}$) まで押し上げられてオフする。次に、第2の副走査線 Y_n2 の走査信号 SC_n2 が L レベルになると、補償用トランジスタ Q45 はオフ状態となる。この時点で、駆動用トランジスタ Q3 のゲート電圧は、バイアス電圧 ($=V_{OEL}$) から同駆動用トランジスタ Q3 の閾値電圧 V_{th} を引いた電圧 ($=V_{OEL}-V_{th}$) に保持される。

【0142】

駆動用トランジスタ Q3 のゲートにその電圧 ($=V_{OEL}-V_{th}$) が保持されると、第5の副走査線 Y_n5 に H レベルの第5走査信号 SC_n5 が出力されるとともに、H レベルの走査信号 SC_n1 が消失 (L レベル) する。これによって、第1スイッチング用トランジスタ Q41 がオンし、データ線 X_m からアナログデータ電流 $I_{ANDATAm}$ が供給される。このとき、駆動用トランジスタ Q3 及び補償用トランジスタ Q45 はオフ状態となっているため、保持キャパシタ C1 の電荷量はアナログデータ電流 $I_{ANDATAm}$ に応じて減少する。つまり、駆動用トランジスタ Q3 の前記ゲート電圧は、アナログデータ電流 $I_{ANDATAm}$ に応じて下がる。この状態で、第5の副走査線 Y_n5 の走査信号 SC_n5 が L レベルになって第1スイッチング用トランジスタ Q41 がオフする。スイッチング用トランジスタ Q41 のオフによって、駆動用トランジスタ Q3 のゲート電圧は、アナログデータ電流 $I_{ANDATAm}$ に応じて下がった電位に保持される。

【0143】

続いて、第3の副走査線 Y_n3 から H レベルの走査信号 SC_n3 が出力されて、開始用トランジスタ Q44 がオン状態する。開始用トランジスタ Q44 のオンによって、駆動用トランジスタ Q3 は、このアナログデータ電流 $I_{ANDATAm}$ の値に応じた導通状態となり、そのアナログデータ電流 $I_{ANDATAm}$ に応じた駆動電流が有機 EL 素子 21 に供給される。有機 EL 素子 21 はアナログデータ電流 $I_{ANDATAm}$ に応じた輝度で発光する。

【0144】

このように、本実施形態も前記した第1及び第2実施形態と同様に、文字等の多階調表示を必要としない場合にはデジタル階調で、アニメ、ムービーのような多階調表示する場合にはアナログ階調でその中間調を表現することができる。従って、表示品位をあまり必要としない場合には低消費電力のデジタル階調で中間調を表現し、表示品位を必要とする場合にはアナログ階調で中間調を表現でき、低消費電力と十分な表示品位を両立することができる有機ELディスプレイ10を提供することができる。

【0145】

又、第3実施形態によれば、デジタルデータVDGDATA1～VDGDATA_mとアナログデータ電流I ANDATA1～I ANDATA_mをそれぞれ同一のデータ線X1～X_mを介して画素回路20に供給されるようにしたので、表示パネル部11に形成される配線の数を減らすことができる。

【0146】

尚、本実施形態では、アナログ階調モードにおいて、リセット用トランジスタQ5は終始オフ状態に保持していた。これを、次のアナログデータ電流I ANDATA1～I ANDATA_mの書き込みの前に、リセット用トランジスタQ5をオンさせて発光期間を終了させるように実施してもよい。

【0147】

(第4実施形態)

次に、第1実施形態で説明した電気光学装置としての有機ELディスプレイ10を搭載した電子機器の適用について図12及び図13に従って説明する。有機ELディスプレイ10は、モバイル型のパーソナルコンピュータ、携帯電話、デジタルカメラ等種々の電子機器に適用できる。

【0148】

図12は、モバイル型パーソナルコンピュータの構成を示す斜視図を示す。図12において、パーソナルコンピュータ60は、キーボード61を備え本体部62と、前記有機ELディスプレイ10を用いた表示ユニット63を備えている。この場合でも、有機ELディスプレイ10を用いた表示ユニット63は前記実施形態と同様な効果を発揮する。その結果、パーソナルコンピュータ60は、低消

費電力と十分な表示品位の両立を実現することができる。

【0149】

図13は、携帯電話の構成を示す斜視図を示す。図13において、携帯電話70は、複数の操作ボタン71、受話口72、送話口73、前記有機ELディスプレイ10を用いた表示ユニット74を備えている。この場合でも、有機ELディスプレイ10を用いた表示ユニット74は前記実施形態と同様な効果を発揮する。その結果、携帯電話70は、低消費電力と十分な表示品位の両立を実現することができる。

【0150】

尚、本発明の実施形態は、以下のように変更してもよい。

○前記第1～第3実施形態では、アナログ階調とデジタル階調の区別を、表示する画像データが多階調表示を必要しない文字等か多階調表示のアニメ、ムービーかによって行っていた。これを、文字、アニメ、ムービーの区別なく、低消費電力で表示したい場合にはデジタル階調で、低消費電力で表示することを意識しない場合にはアナログ階調で実施するようにしてもよい。又、文字、アニメ、ムービーの区別なく、表示品位を下げたい場合にはデジタル階調で、表示品位を上げたい場合にはアナログ階調で実施するようにしてもよい。

【0151】

○前記第1～第3実施形態では、デジタル階調について順次選択される一つの走査線に対応した画素回路20に2値のデータ電圧を書き込むと同時に2値のデータ電圧に応じた電流レベルの電流を有機EL素子21に供給を開始し、所定時間後に有機EL素子21への電流供給を遮断するといった時分割階調で行った。

【0152】

これに代えて、最初に有機EL素子21の対向電極を逆バイアスにした状態で全画素回路にデータ電圧を書き込み、書き込み終了後に有機EL素子21の対向電極を順バイアスにして発光させ、サブフレーム終了時にまた前記と同様に逆バイアスにするようにしたデジタル階調方法で実施してもよい。さらに、デジタル階調の一つとして、面積階調で実施してもよい。つまり、画素回路20をサブ画素としてそのサブ画素の複数個を組にする。そして、デジタル階調を行う場合、

その組に属するサブ画素の適宜の数をそれぞれ非発光、発光の 2 つの状態に制御することによって、中間調を表現するようにしてもよい。

【0 1 5 3】

○前記各実施形態では、デジタルデータ VDGDAT₁～VDGDAT_mとアナログデータ電流 I ANDAT₁～I ANDAT_mをそれぞれ同一のデータ線 X₁～X_mを介して画素回路 2 0 に供給されるようにしたが、それぞれ別々のデータ線を設けて実施してもよい。

【0 1 5 4】

○前記各実施形態では、電子回路として画素回路 2 0 に具体化して好適な効果を得たが、有機 E L 素子 2 1 以外の例えば L E D や F E D 等の発光素子を駆動する電子回路に具体化してもよい。

【0 1 5 5】

前記各実施形態では、有機 E L 素子 2 1 について具体化したが、無機 E L 素子に具体化してもよい。つまり、無機 E L 素子からなる無機 E L ディスプレイに応用しても良い。

【0 1 5 6】

【発明の効果】

本発明によれば、低消費電力と十分な表示品位の両立を図ることができる。

【図面の簡単な説明】

【図 1】

第 1 実施形態を説明するための有機 E L ディスプレイの回路構成を示すブロック回路図。

【図 2】

同じく画素回路とデータ線駆動回路の内部回路構成を説明するための回路図。

【図 3】

時分割諧調における順次点灯同時消去法を説明するための説明図。

【図 4】

時分割諧調における走査線の選択を説明するためのタイミングチャート。

【図 5】

アナログ階調における走査線の選択を説明するためのタイミングチャート。

【図 6】

第 2 実施形態を説明するための画素回路とデータ線駆動回路の内部回路構成を説明するための回路図。

【図 7】

第 2 実施形態における時分割諧調による走査線の選択を説明するためのタイミングチャート。

【図 8】

第 2 実施形態におけるアナログ階調による走査線の選択を説明するためのタイミングチャート。

【図 9】

第 3 実施形態を説明するための画素回路とデータ線駆動回路の内部回路構成を説明するための回路図。

【図 1 0】

第 3 実施形態における時分割諧調による走査線の選択を説明するためのタイミングチャート。

【図 1 1】

第 3 実施形態におけるアナログ階調による走査線の選択を説明するためのタイミングチャート。

【図 1 2】

第 4 実施形態を説明するためのモバイル型パーソナルコンピュータの構成を示す斜視図。

【図 1 3】

第 4 実施形態を説明するための携帯電話の構成を示す斜視図。

【符号の説明】

- 1 0 電気光学装置としての有機 E L ディスプレイ
- 1 1 表示パネル部
- 1 2 データ線駆動回路
- 1 3 走査線駆動回路

1 4 制御手段としての制御回路

2 0 電子回路又は単位回路としての画素回路

2 1 電子素子又は電気光学素子としての有機 E L 素子

1 3 a データ電圧出力回路としてのデジタルデータ電圧出力回路

1 3 b データ電流出力回路としてのアナログデータ電流出力回路

Y 1 ~ Y n 走査線

X 1 ~ X m データ線

S C n 走査信号

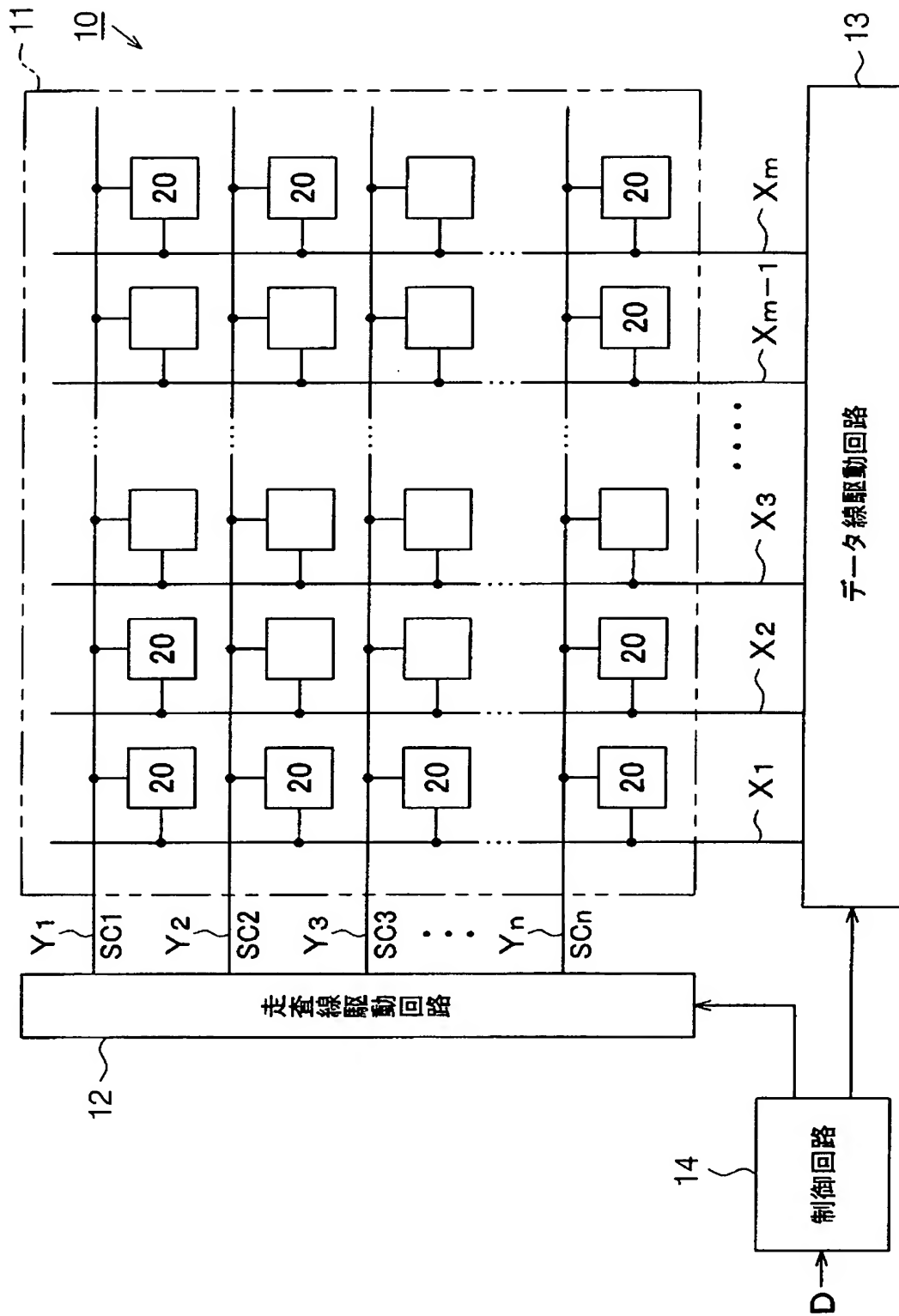
D 画像データ

V D G D A T A 1 ~ V D G D A T A m 2 値のデータ電圧としてのデジタルデータ

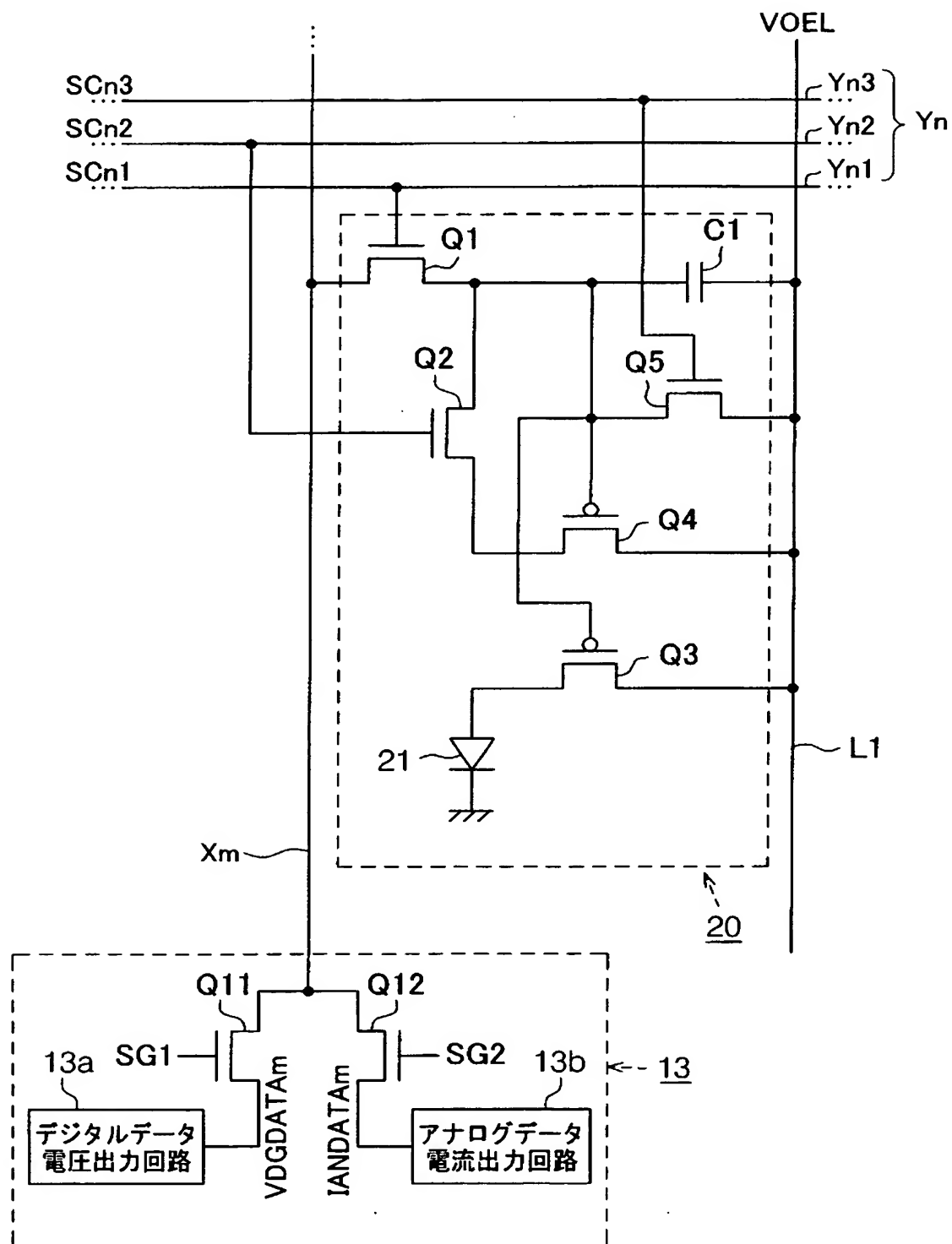
I A N D A T A 1 ~ I A N D A T A m 多値のデータ電流としてのアナログデータ電流

【書類名】 図面

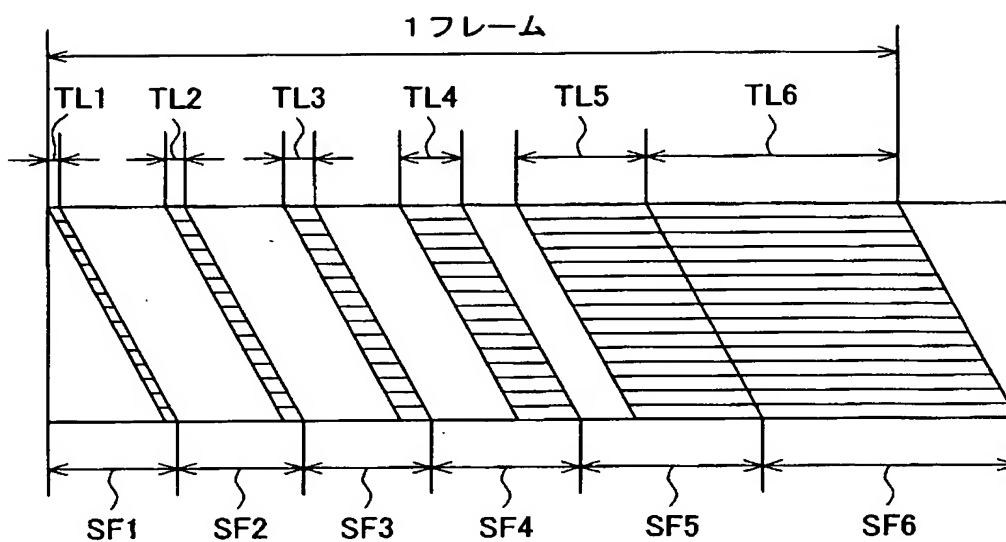
【図 1】



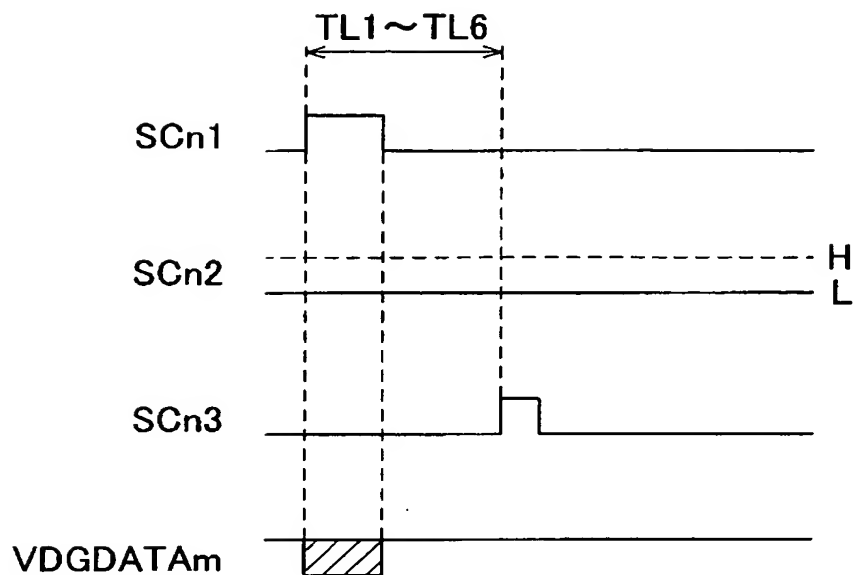
【図 2】



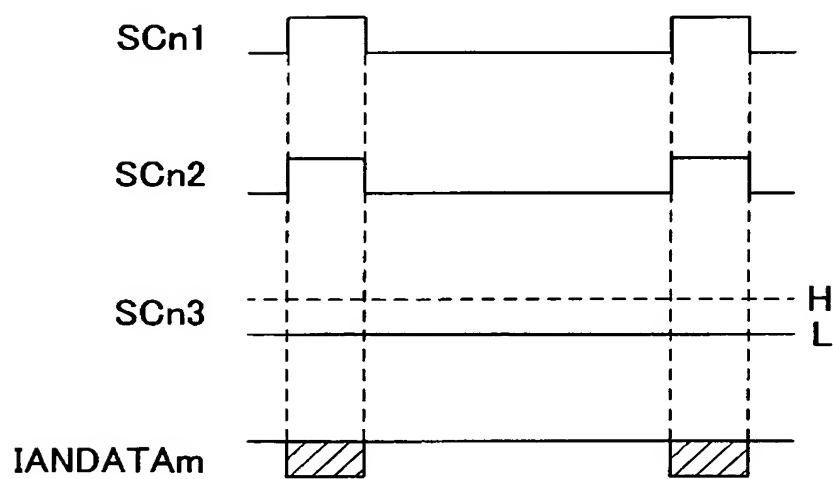
【図 3】



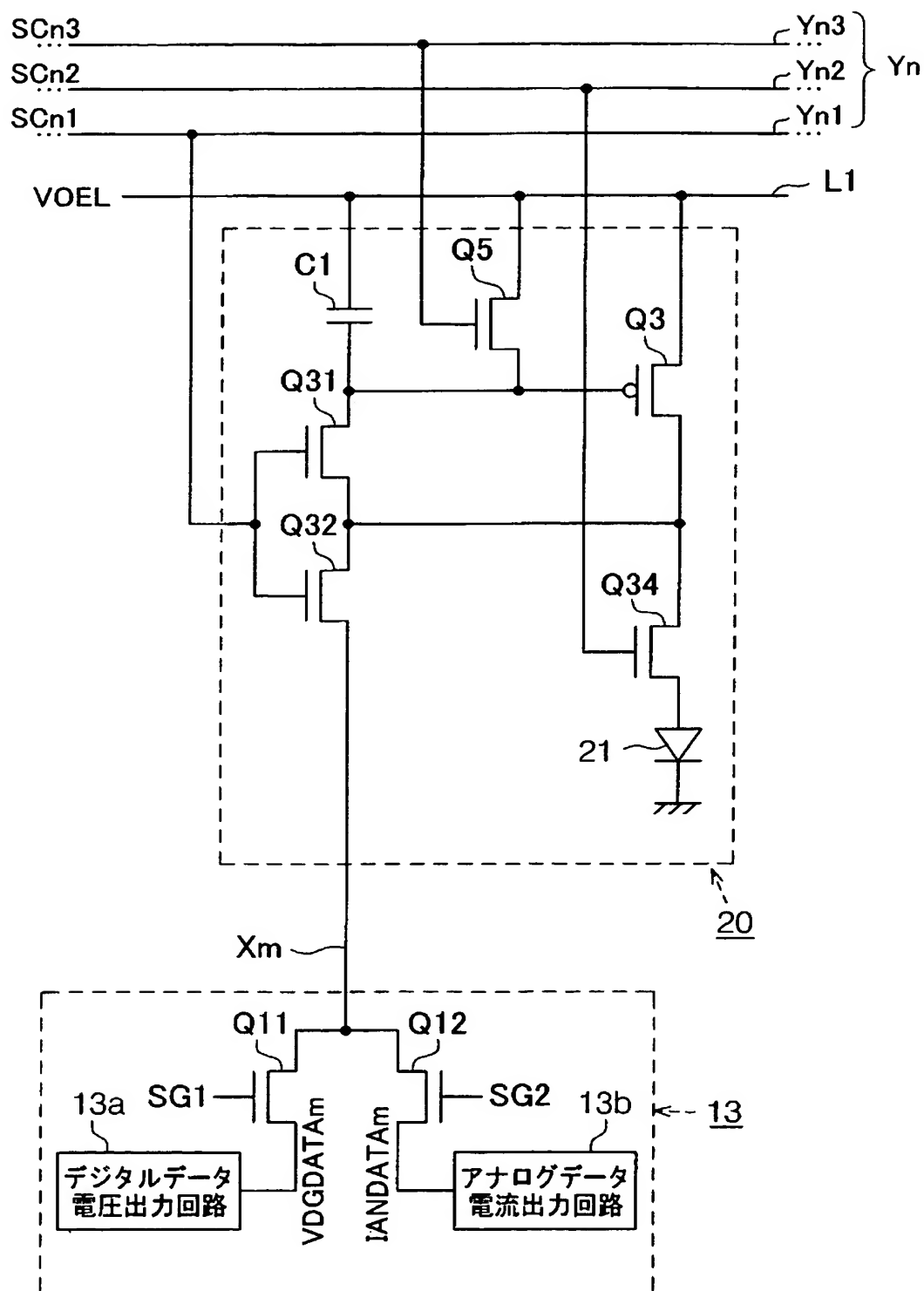
【図 4】



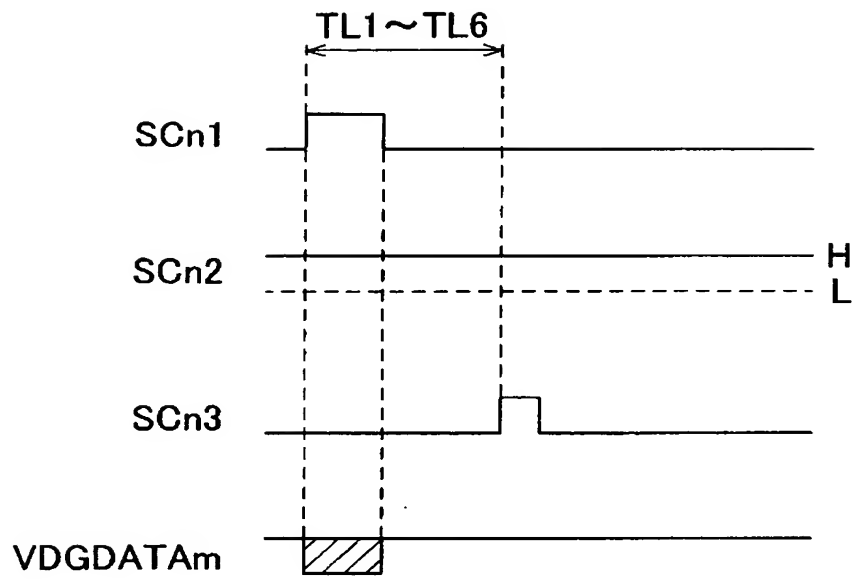
【図 5】



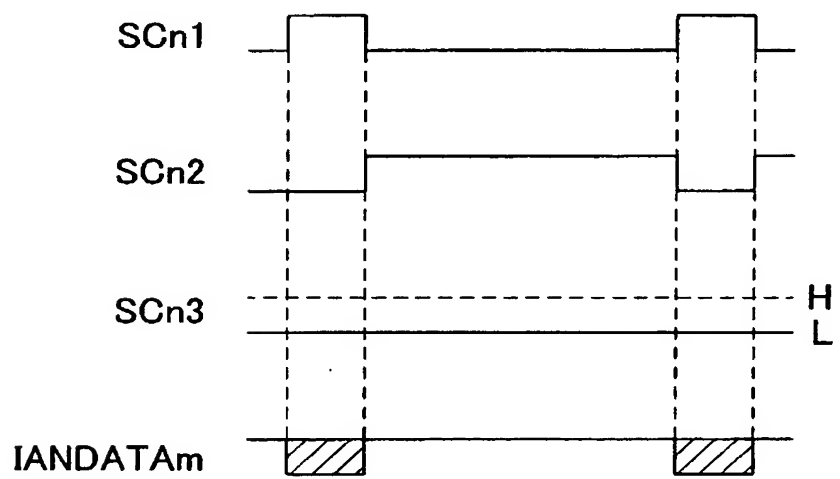
【図 6】



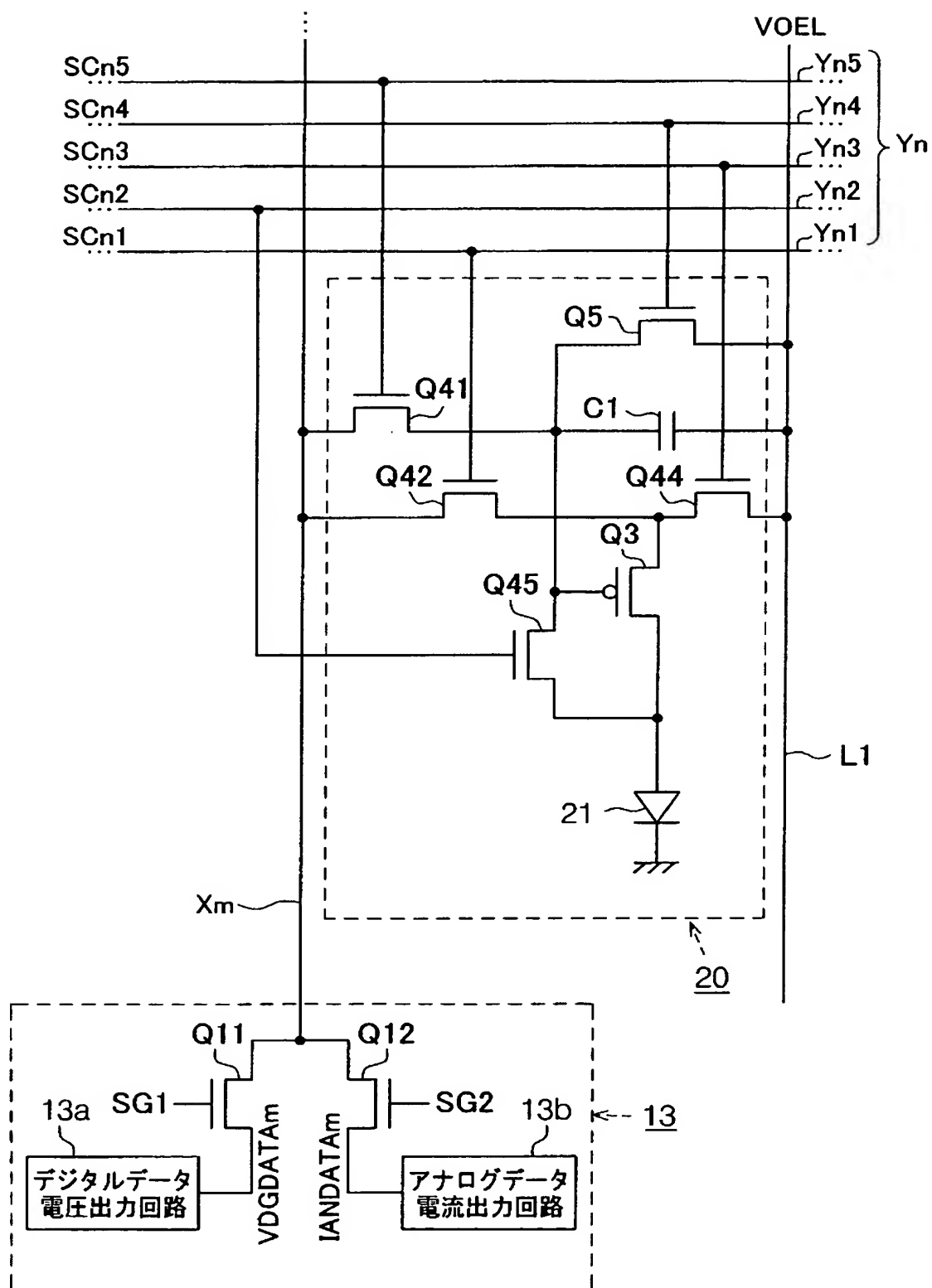
【図 7】



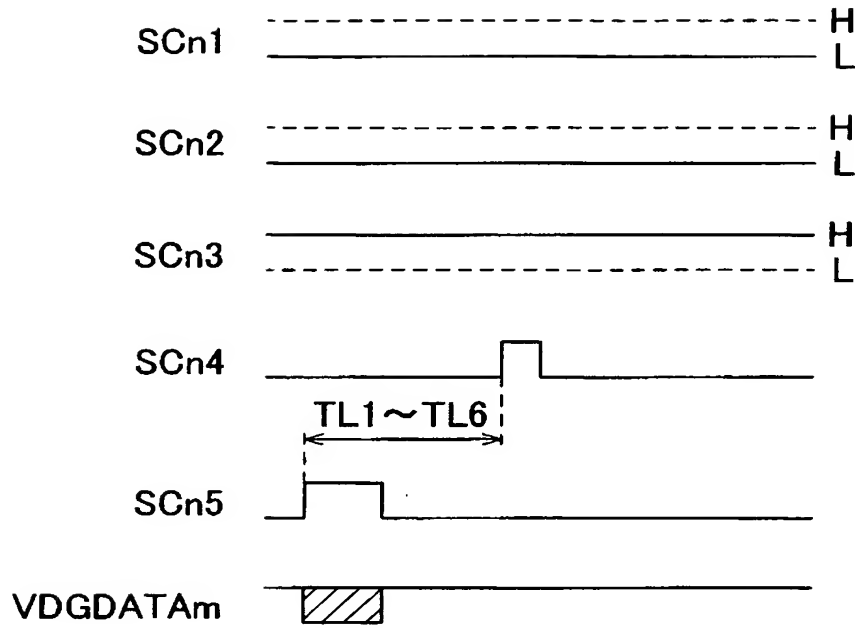
【図 8】



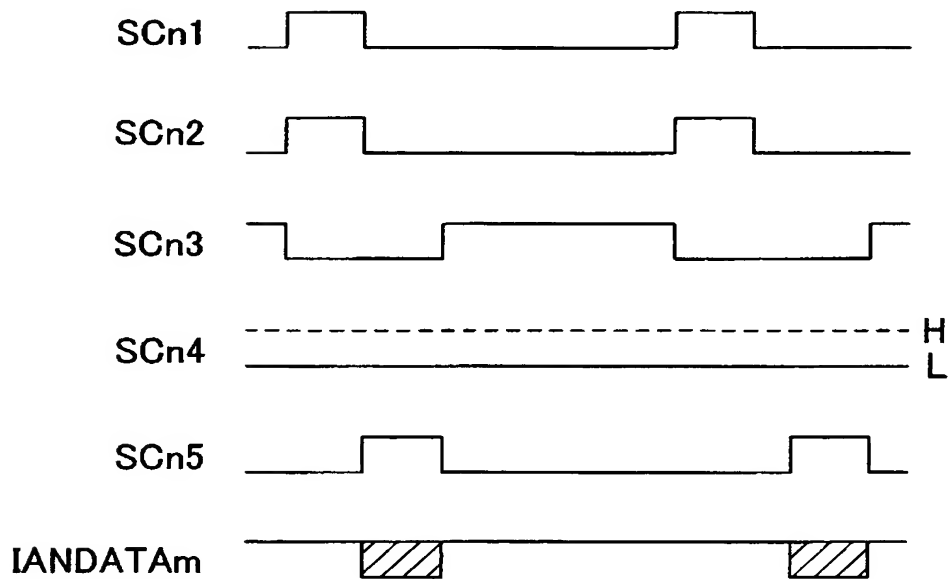
【図 9】



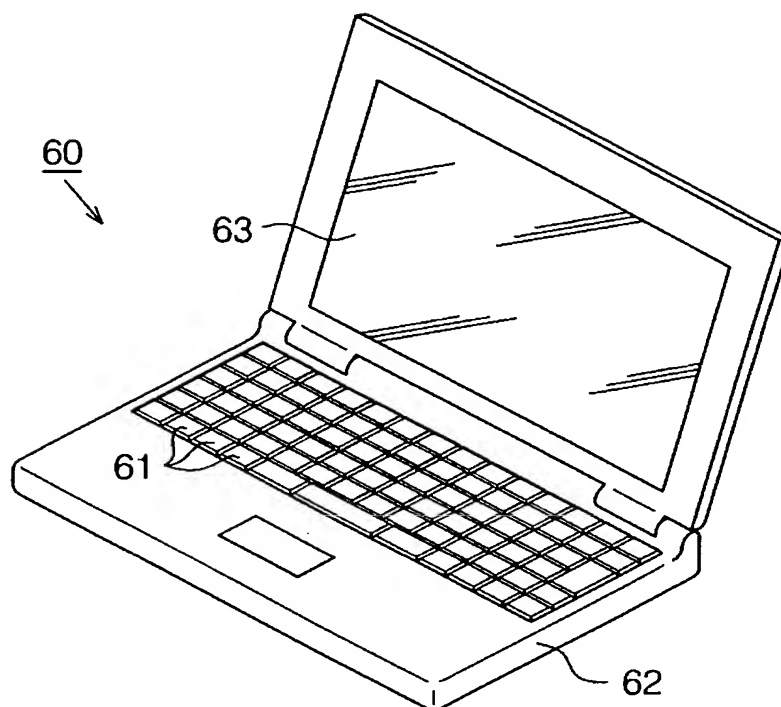
【図 10】



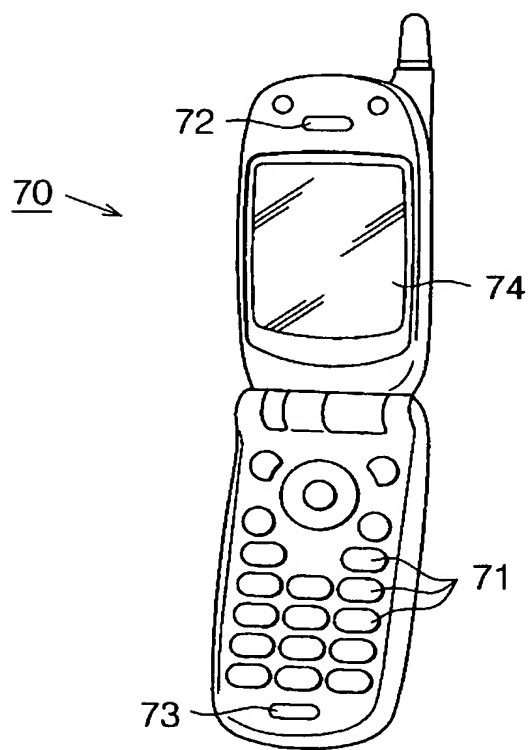
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 低消費電力と十分な表示品位との両立を図ることができる電子回路、電気光学装置、電気光学装置の駆動方法及び電子機器を提供する。

【解決手段】 走査線 Y_n とデータ線 X_m との交差部に対応して設けられた画素回路 20 の有機 EL 素子 21 はデータ線 X_m を介して供給されるデジタルデータ $VDGDATA_m$ 又はアナログデータ電流 I_{ANDATA_m} に応じた駆動電流が供給される。そして、低消費電力化を図るためにデジタル階調で中間調を制御するときには H レベル又は L レベルのいずれかの値をとるデジタルデータ $VDGDATA_m$ が画素回路 20 に供給される。また、表示品位をあげるためにアナログ階調で中間調を制御するときにはアナログデータ電流 I_{ANDATA_m} が画素回路 20 に供給される。

【選択図】 図 2



特 願 2 0 0 2 - 2 7 7 9 5 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿2丁目4番1号

氏 名

セイコーエプソン株式会社